



Search result: 1 of 1

(WO/2001/095238) CHIP DESIGN VERIFYING AND CHIP TESTING APPARATUS AND METHOD

Biblio. Data Description Claims National Phase Notices Documents

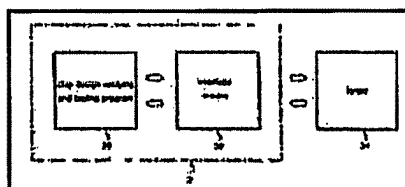
Latest bibliographic data on file with the International Bureau



Pub. No.: WO/2001/095238 International Application No.: PCT/KR2001/000937
Publication Date: 13.12.2001 International Filing Date: 01.06.2001
Chapter 2 Demand Filed: 01.11.2001
IPC: G01R 31/3183 (2006.01), G01R 31/3187 (2006.01), G06F 17/50 (2006.01)
Applicant: PARK, Hyunju [KR/KR]; (KR).
Inventor: PARK, Hyunju; (KR).
Agent: PARK, Sangsoo; 5F, Woonam Building 824-22, Yoksam-dong Kangnam-gu Seoul 135-080 (KR).
Priority Data: 2000/30620 03.06.2000 KR
2000/42575 25.07.2000 KR

Title: CHIP DESIGN VERIFYING AND CHIP TESTING APPARATUS AND METHOD

Abstract: A chip design verifying and chip testing apparatus includes a storing means for storing an application program verifying an operation of a designed chip and testing a manufactured chip having a plurality of blocks, an I/O file, and a test vector; an interface means controlling a data transmission between the storing means and the chip, and having a data applying means for applying the I/O file and/or the test vector outputted from the storing means and a data storing means for storing data outputted from the chip; and a computer including a CPU for performing and controlling the application program.



Designated States: CA, CN, DE, JP, US.

Publication Language: English (EN)

Filing Language: English (EN)

This is an English abstract of 2003-536083.

(19) 日本国特許庁 (J P)

(12) 公表特許公報 (A)

(11) 特許出願公表番号

特表2003-536083

(P2003-536083A)

(43) 公表日 平成15年12月2日 (2003.12.2)

(51) Int.Cl. ⁷	識別記号	F I	テーマコード(参考)
G 0 1 R 31/3183		G 0 6 F 17/50	6 6 4 P 2 G 1 3 2
31/319			6 6 4 R 5 B 0 4 6
G 0 6 F 17/50	6 6 4	G 0 1 R 31/28	Q
			R

審査請求 有 予備審査請求 有 (全 90 頁)

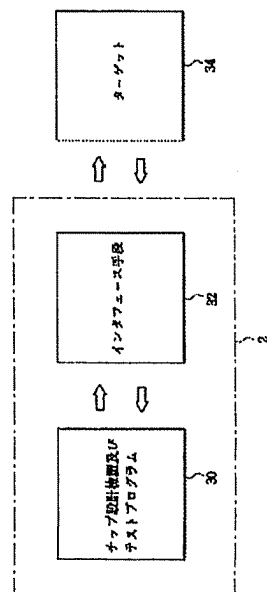
(21) 出願番号 特願2002-502703(P2002-502703)
 (86) (22) 出願日 平成13年6月1日(2001.6.1)
 (85) 翻訳文提出日 平成14年12月3日(2002.12.3)
 (86) 国際出願番号 PCT/KR01/00937
 (87) 国際公開番号 WO01/095238
 (87) 国際公開日 平成13年12月13日(2001.12.13)
 (31) 優先権主張番号 2000/30620
 (32) 優先日 平成12年6月3日(2000.6.3)
 (33) 優先権主張国 韓国 (KR)
 (31) 優先権主張番号 2000/42575
 (32) 優先日 平成12年7月25日(2000.7.25)
 (33) 優先権主張国 韓国 (KR)
 (81) 指定国 CA, CN, DE, JP, US

(71) 出願人 ヒュンジュ・パク
 大韓民国・ソウル・130-083・トンダエム
 ン・グ・イムン3ードン・173-46
 (72) 発明者 ヒュンジュ・パク
 大韓民国・ソウル・130-083・トンダエム
 ン・グ・イムン3ードン・173-46
 (74) 代理人 弁理士 志賀 正武 (外7名)
 Fターム(参考) 2G132 AB01 AE18 AE22 AG01 AH01
 5B046 AA08 BA03 JA01

(54) 【発明の名称】 チップ設計検証及びテスト装置及び方法

(57) 【要約】

本発明はチップ設計検証及びテスト装置及び方法を開示する。その装置は複数の機能ブロックを備えて設計されたチップ及び製作されたチップの作動を検証してテストするための応用プログラム、入出力ファイル、及びテストベクトルを貯蔵するための貯蔵部、貯蔵部とチップ間のデータ伝送を制御するためのインタフェース部、及び応用プログラムを遂行して制御するための中央処理装置を備えたコンピュータを備えて、インタフェース部は貯蔵部から出力される入力ファイルまたはテストベクトルを貯蔵してチップに印加するためのデータ印加部、及びチップから出力されるデータを貯蔵するためのデータ貯蔵部で構成されている。したがって、PCを基盤にしてチップ設計時には設計されたチップの作動を検証してエラーをデバギングできる検証器で使用が可能であって、チップ製作以後には製作されたチップの作動をテストできるテストで使用が可能である。



前記入力ファイルまたはテストベクトルに対して比較を所望する部分に対する

【請求項 5】 前記インタフェース手段は、
前記貯蔵手段と前記データ印加手段、前記データ印加手段と前記チップ、前記チップと前記データ貯蔵手段、及び前記データ貯蔵手段と前記貯蔵手段間のデータ伝送を制御するための制御手段を備えたことを特徴とする請求項 1 に記載のチップ設計検証及びテスト装置。

【請求項 7】 前記データ貯蔵手段は、
前記チップから出力されるデータを貯蔵するための第 3、4 メモリを備えたことを特徴とする請求項 1 に記載のチップ設計及び検証テスト装置。

【請求項 9】 前記データ貯蔵手段は、
前記検証モードには、
前記チップから印加されるデータを前記第 3、4 メモリに交代で貯蔵しながら
前記第 3、4 メモリに貯蔵されたデータを前記グラフィックユーザーインタフェ
ースに交代で出力して、
前記テストモードには、

前記チップから印加されるデータを前記第3、4メモリに貯蔵しながら前記第3、4メモリに貯蔵されたデータを前記グラフィックユーザーインターフェースに出力することを特徴とする請求項7に記載のチップ設計検証及びテスト装置。

【請求項10】 前記応用プログラムは、

前記入力ファイルまたは前記テストベクトルをなすデータを前記データ印加手段に貯蔵する時圧縮／復元プログラムにより圧縮貯蔵して、

前記データ貯蔵手段に貯蔵されたデータを前記グラフィックユーザーインターフェースに伝送する時前記圧縮／復元プログラムにより復元することを特徴とする請求項2に記載のチップ設計検証及びテスト装置。

【請求項11】 前記制御手段は、

前記データ印加手段に貯蔵された圧縮データを復元して前記チップに印加して、前記チップから出力されるデータを圧縮して前記データ貯蔵手段に貯蔵するためのデータ圧縮／復元手段を備えたことを特徴とする請求項5に記載のチップ設計検証及びテスト装置。

【請求項12】 前記応用プログラムは、

前記入力ファイルまたは前記テストベクトルをなすデータを前記データ印加手段に貯蔵して、前記インターフェース手段のデータ圧縮／復元手段により前記データ印加手段に貯蔵されたデータを圧縮して前記データ貯蔵手段に貯蔵して、前記データ貯蔵手段に貯蔵された圧縮データを前記貯蔵手段に貯蔵することを特徴とする請求項11に記載のチップ設計検証及びテスト装置。

【請求項13】 前記制御手段は、

前記検証モード時に、

前記中央処理装置の制御の下に前記データ印加手段から前記チップへのデータ伝送と前記チップから前記データ貯蔵手段へのデータ伝送が連続的に遂行されるようにすることを特徴とする請求項5に記載のチップ設計検証及びテスト装置。

【請求項14】 前記制御手段は、

前記検証モード時に、

前記中央処理装置が前記貯蔵手段と前記インターフェース手段、前記データ印加

手段と前記チップ、前記チップと前記データ貯蔵手段、及び前記データ貯蔵手段と前記貯蔵手段間のデータ伝送速度をモニターリングするにより前記インタフェース手段と前記チップ間の作動速度を最適に調節することを特徴とする請求項5に記載のチップ設計検証及びテスト装置。

【請求項15】 前記検証モードまたはテストモード時に、
前記チップにエラーがあると判断されれば、
前記チップの作動を中止して前記グラフィックユーザーインターフェースを利用して初めてあらわれたミスマッチまたはエラーが発生する前の近接位置に該当する入／出力フレームステップ数、クリックステップ数、及び／または前記チップの入出力に対して前記近接位置に該当する条件をトリガ条件で設定して、
前記チップに前記入力ファイルをなすデータを印加して前記チップから出力されるデータを貯蔵しながら前記ミスマッチまたはエラーが発生する前の近接位置に該当する条件と比較して一致しているかを判断することによって前記ミスマッチまたはエラーが発生する前の近接位置を追跡することを特徴とする請求項4に記載のチップ設計検証及びテスト装置。

【請求項16】 前記検証モードまたはテストモード時に、
前記チップに対する前記ミスマッチまたはエラーが発生する前の近接位置を探す条件が一致すれば、
前記グラフィックユーザーインターフェースを利用して前記ミスマッチまたはエラーが発生する前の近接位置に到達するための条件をトリガ条件で設定して、
前記設定されたトリガ条件に該当するほどのクロック信号に応答して前記チップから出力されるデータを前記データ貯蔵手段に貯蔵して前記グラフィックユーザーインターフェースにディスプレイすることを特徴とする請求項15に記載のチップ設計検証及びテスト装置。

【請求項17】 複数の機能ブロックを備えて設計されたチップ及び製作されたチップの作動を検証してテストするための応用プログラム、入出力ファイル、及びテストベクトルを貯蔵するための貯蔵手段と、
前記応用プログラムを遂行して制御するための中央処理装置と、
前記中央処理装置の制御の下に前記貯蔵手段に貯蔵された前記応用プログラム

及び前記入出力ファイルまたは前記テストベクトルをロードするためのメインメモリ及び

前記メインメモリと前記チップ間のデータ伝送を制御するためのインタフェース手段を備えたコンピュータを備え、

前記応用プログラムが遂行されれば、

前記コンピュータのモニター上にグラフィックユーザーインタフェースをディスプレイして、前記インタフェース手段に対する作動モードを設定して、前記モードによる作動を遂行するにより得られる結果を前記複数の機能ブロック各々に該当する結果を複数のウィンドウの該ウィンドウを通してディスプレイして、

前記インタフェース手段が、

前記メインメモリから出力される前記入力ファイルまたは前記テストベクトルを貯蔵して前記チップに印加するためのデータ印加手段及び

前記チップから出力されるデータを貯蔵するためのデータ貯蔵手段を備えたことを特徴とするチップ設計検証及びテスト装置。

【請求項18】 前記インタフェース手段は、

所定個数のインタフェースブロックを備え、

前記グラフィックユーザーインタフェースを利用して前記所定個数のインタフェースブロック各々を前記データ印加手段、前記データ貯蔵手段、またはデータ印加及び貯蔵手段で指定することを特徴とする請求項17に記載のチップ設計検証及びテスト装置。

【請求項19】 前記グラフィックユーザーインタフェースを利用して、

前記入力ファイルまたはテストベクトルに対して比較を所望する部分に対する条件を指定することを特徴とする請求項17に記載のチップ設計検証及びテスト装置。

【請求項20】 前記インタフェース手段は、

前記メインメモリと前記データ印加手段、前記データ印加手段と前記チップ、前記チップと前記データ貯蔵手段、及び前記データ貯蔵手段と前記貯蔵手段間のデータ伝送を制御するための制御手段を備えたことを特徴とする請求項17に記

載のチップ設計検証及びテスト装置。

【請求項21】 前記データ印加手段は、

前記メインメモリから印加されるデータを貯蔵するための第1、2メモリを備えたことを特徴とする請求項17に記載のチップ設計検証及びテスト装置。

【請求項22】 前記データ貯蔵手段は、

前記チップから出力されるデータを貯蔵するための第3、4メモリを備えたことを特徴とする請求項17に記載のチップ設計検証及びテスト装置。

【請求項23】 前記データ印加手段は、

前記検証モードには、

前記貯蔵手段に貯蔵された前記入力ファイルまたはテストベクトルをなすデータを所定単位で分けて前記第1、2メモリに交代で貯蔵しながら、前記第1、2メモリに貯蔵されたデータを前記チップに交代で印加して、

前記テストモードには、

前記貯蔵手段に貯蔵された前記テストベクトルをなすデータを前記第1、2メモリにすべて貯蔵した後、前記第1、2メモリに貯蔵されたデータを前記チップに印加することを特徴とする請求項21に記載のチップ設計検証及びテスト装置。

【請求項24】 前記データ貯蔵手段は、

前記検証ボードには、

前記チップから印加されるデータを前記第3、4メモリに交代で貯蔵しながら前記第3、4メモリに貯蔵されたデータを前記グラフィックユーザーインタフェースに交代で出力して、

前記テストモードには、

前記チップから印加されるデータを前記第3、4メモリに貯蔵した後、前記第3、4メモリに貯蔵されたデータを前記グラフィックユーザーインタフェースに出力することを特徴とする請求項22に記載のチップ設計検証及びテスト装置。

【請求項25】 前記応用プログラムは、

前記入力ファイルまたは前記テストベクトルをなすデータを前記データ印加手段に貯蔵する時圧縮／復元プログラムにより圧縮貯蔵して、

前記データ貯蔵手段に貯蔵されたデータを伝送する時前記圧縮／復元プログラムにより復元することを特徴とする請求項17に記載のチップ設計検証及びテスト装置。

【請求項26】 前記制御手段は、

前記データ印加手段に貯蔵された圧縮データを復元して前記チップに印加して、前記チップから出力されるデータを圧縮して前記データ貯蔵手段に貯蔵するためのデータ圧縮／復元手段を備えたことを特徴とする請求項20に記載のチップ設計検証及びテスト装置。

【請求項27】 前記応用プログラムは、

前記入力ファイルまたは前記テストベクトルをなすデータを前記データ印加手段に貯蔵して、前記インタフェース手段のデータ圧縮／復元手段により前記データ印加手段に貯蔵されたデータを圧縮して前記データ貯蔵手段に貯蔵して、前記データ貯蔵手段に貯蔵された圧縮データを前記貯蔵手段に貯蔵することを特徴とする請求項25に記載のチップ設計検証及びテスト装置。

【請求項28】 前記制御手段は、

前記検証モード時に、

前記中央処理装置の制御の下に前記データ印加手段から前記チップへのデータ伝送と前記チップから前記データ貯蔵手段へのデータ伝送が連続的に遂行されるようにすることを特徴とする請求項20に記載のチップ設計検証及びテスト装置。

【請求項29】 前記制御手段は、

前記検証モード時に、

前記中央処理装置が前記貯蔵手段と前記インタフェース手段、前記データ印加手段と前記チップ、前記チップと前記データ貯蔵手段、及び前記データ貯蔵手段と前記貯蔵手段間のデータ伝送速度をモニターリングするにより前記インタフェース手段と前記チップ間の作動速度を最適に調節することを特徴とする請求項20に記載のチップ設計検証及びテスト装置。

【請求項30】 前記検証モードまたはテストモード時に、

前記チップにエラーがあることと判断される場合に、

前記チップの作動を中止して、前記グラフィックユーザーインターフェースを利用して初めてあらわれたミスマッチまたはエラーが発生する前の近接位置に該当する入／出力フレームステップ数、クロックステップ数、及び／または前記チップの入出力に対して前記近接位置に該当する条件をトリガ条件で設定して、

前記チップに前記入力ファイルをなすデータを印加して前記チップから出力されるデータを貯蔵しながら前記ミスマッチまたはエラーが発生する前の近接位置に該当する条件と比較して一致しているかを判断することによって前記ミスマッチまたはエラーが発生する前の近接位置を追跡することを特徴とする請求項 17 に記載のチップ設計検証及びテスト装置。

【請求項 31】 前記検証モードまたはテストモード時に、

前記チップに対する前記ミスマッチまたはエラーが発生する前の近接位置を探す条件が一致すれば、

前記グラフィックユーザーインターフェースを利用して前記ミスマッチまたはエラーが発生する前の近接位置に到達するための条件をトリガ条件で設定して、

前記設定されたトリガ条件に該当するほどのクロック信号に応答して前記チップから出力されるデータを前記データ貯蔵手段に貯蔵して前記グラフィックユーザーインターフェースにディスプレイすることを特徴とする請求項 30 に記載のチップ設計検証及びテスト装置。

【請求項 32】 前記所定個数のインターフェースブロック各々は、

ボード状で構成されて前記コンピュータ内のスロットに挿設されることを特徴とする請求項 18 に記載のチップ設計検証及びテスト装置。

【請求項 33】 前記所定個数のインターフェースブロック各々と前記チップを連結するための連結モジュールを備え、前記連結モジュールを前記コンピュータの本体の前面部に装着することを特徴とする請求項 32 に記載のチップ設計検証及びテスト装置。

【請求項 34】 前記コンピュータは、

所定個数のスロットを備えたメインボード、

前記スロットに連結されて第 1 コネクタを備えた連結ボード及び

前記連結ボードの第 1 コネクタに連結される第 2 コネクタと前記第 2 コネ

クターに連結される所定個数の第3コネクタを備えたバックプレーン及び

前記バックプレーンに連結された所定個数の第3コネクタに連結される前記所定個数のインタフェースブロックの装着を容易にするための所定個数の第1ガイドと前記所定個数のインタフェースブロックに連結される所定個数の第2ブロックの装着を容易にするための所定個数の第2ガイドを備えたハウジングを備えた連結モジュールを備えることを特徴とする請求項18に記載のチップ設計検証及びテスト装置。

【請求項35】 前記バックプレーンは

前記第2コネクタと第3コネクタにコンピュータ用電源を印加するためのコンピュータ電源印加コネクタと、

前記検証及びテスト時に前記第2コネクタと第3コネクタに検証及びテスト用電源を印加するための検証及びテスト電源印加コネクタ及び

前記インタフェース手段から印加される制御信号に応答して前記コンピュータ電源印加コネクタまたは前記検証及びテスト電源印加コネクタを連結するためのスイッチング手段を備えることを特徴とする請求項34に記載のチップ設計検証及びテスト装置。

【請求項36】 複数の機能ブロックを備えて設計されたチップ及び製作されたチップの作動を検証してテストするための応用プログラム、入出力ファイル、及びテストベクトルを貯蔵するための貯蔵手段を備えたコンピュータを備えたチップ設計検証及びテスト方法において、

前記アプリケーションを遂行するによりグラフィックユーザーインタフェースをモニター上にディスプレイする段階と、

前記グラフィックユーザーインタフェースにより作動モードが前記設計されたチップの作動を検証する検証ボードで設定された場合には前記貯蔵手段に貯蔵された前記入出力ファイルまたはテストベクトルをなすデータを交代でデータ印加手段に貯蔵する段階及び

前記チップから出力されるデータを交代でデータ貯蔵手段に貯蔵する段階を備え、

前記グラフィックユーザーインタフェースにより作動ボードが前記製作された

チップをテストするテストモードに設定された場合には前記貯蔵手段に貯蔵された前記入出力ファイルまたは前記テストベクトルをなすデータを交代でデータ印加手段に貯蔵する段階及び

前記データ印加手段に貯蔵された前記入力ファイルまたは前記テストベクトルをなすデータを前記チップに印加しながら前記チップから出力されるデータを前記データ貯蔵手段に貯蔵する段階を備えたことを特徴とするチップ設計検証及びテスト方法。

【請求項 37】 前記応用プログラムが遂行されれば、

前記コンピュータのモニター上にグラフィックユーザーインタフェースをディスプレイする段階と、

前記グラフィックユーザーインタフェースにより前記検証モード及びテストモードを設定する段階と、

前記検証モード及びテストモードを遂行するにより前記複数の機能ブロック各々に該当する結果を複数のウィンドウの該ウィンドウにディスプレイする段階を備えたことを特徴とする請求項 36 に記載のチップ設計検証及びテスト方法。

【請求項 38】 前記グラフィックユーザーインタフェースを利用して、

前記入力ファイルまたはテストベクトルに対して比較を所望する部分に対する条件を指定することを特徴とする請求項 38 に記載のチップ設計検証及びテスト方法。

【請求項 39】 前記貯蔵手段に貯蔵された前記入力ファイルまたは前記テストベクトルを前記チップに印加する場合に前記入力ファイルまたは前記テストベクトルをなすデータを圧縮して前記データ印加手段に貯蔵して、前記データ印加手段に貯蔵されたデータを復元して前記チップに印加する段階及び

前記チップから出力されるデータを前記データ貯蔵手段に貯蔵する場合に前記チップから出力されるデータを圧縮して前記データ貯蔵手段に貯蔵する段階を備えたことを特徴とする請求項 37 に記載のチップ設計検証及びテスト方法。

【請求項 40】 前記検証モード時に、

前記データ印加手段から前記チップへのデータ伝送と前記チップから前記デー

タ貯蔵手段へのデータ伝送が連続的に遂行されることができるようにすることを特徴とする請求項 3 6 に記載のチップ設計検証及びテスト方法。

【請求項 4 1】 前記検証モード時に、

前記データ印加手段と前記チップ、前記チップと前記データ貯蔵手段、及び前記データ貯蔵手段と前記貯蔵手段間のデータ伝送速度をモニターリングするにより前記貯蔵手段と前記チップ間の作動速度を最的に調節することを特徴とする請求項 3 6 に記載のチップ設計検証及びテスト方法。

【請求項 4 2】 前記検証モードまたはテストモード時に、

前記チップにエラーがあることと判断される場合に、

前記チップの作動を中止して、前記グラフィックユーザーインターフェースを利用して初めてあらわれたミスマッチまたはエラーが発生する前の近接位置に該当する入／出力フレームステップ数、クロックステップ数、及び／または前記チップの入出力に対して前記近接位置に該当する条件をトリガ条件で設定して、

前記チップに前記入力ファイルをなすデータを印加して前記チップから出力されるデータを貯蔵しながら前記ミスマッチまたはエラーが発生する前の近接位置に該当する条件と比較して一致しているかを判断することによって前記ミスマッチまたはエラーが発生する前の近接位置を追跡することを特徴とする請求項 3 7 に記載のチップ設計検証及びテスト方法。

【請求項 4 3】 前記検証モードまたはテストモード時に、

前記チップに対する前記ミスマッチまたはエラーが発生する前の近接位置を探す条件が一致すれば、

前記グラフィックユーザーインターフェースを利用して前記ミスマッチまたはエラーが発生する前の近接位置に到達するための条件をトリガ条件で設定して、

前記設定されたトリガ条件に該当するほどのクロック信号に応答して前記チップから出力されるデータを前記データ貯蔵手段に貯蔵して前記グラフィックユーザーインターフェースにディスプレイすることを特徴とする請求項 4 2 に記載のチップ設計検証及びテスト方法。

【請求項 4 4】 複数個の機能ブロックを備えた、設計されたチップ及び製作されたチップの作動を検証してテストするための応用プログラム、及び入出力

ファイルまたはテストベクトルを貯蔵するための貯蔵手段と、

前記貯蔵手段と前記チップ間のデータ伝送を制御するためのインタフェース手段及び

前記応用プログラムを遂行して制御するための中央処理装置を備えたコンピュータを備え、

前記インタフェース手段は、

前記貯蔵手段から出力される前記入出力ファイルの圧縮されたデータを貯蔵するためのデータ印加手段及び

前記チップから出力されるデータの圧縮されたデータを貯蔵するためのデータ貯蔵手段を備えたことを特徴とするチップ設計検証装置。

【請求項 4 5】 前記応用プログラムが遂行されれば、

前記コンピュータのモニター上にグラフィックユーザーインタフェースをディスプレイして、

前記グラフィックユーザーインタフェースを利用して検証モードを設定して、

前記複数の機能ブロック各々に該当する検証結果を複数のウィンドウの該ウィンドウを通してディスプレイすることを特徴とする請求項 4 4 に記載のチップ設計検証装置。

【請求項 4 6】 前記インタフェース手段は、

複数のインタフェースブロックを備え、

前記グラフィックユーザーインタフェースを利用して前記複数のインタフェースブロック各々を前記データ印加手段、前記データ貯蔵手段、またはデータ印加及び貯蔵手段で指定することを特徴とする請求項 4 5 に記載のチップ設計検証装置。

【請求項 4 7】 前記グラフィックユーザーインタフェースを利用して、

前記入力ファイルまたはテストベクトルに対して比較を所望する部分に対した条件を指定することを特徴とする請求項 4 5 に記載のチップ設計検証装置。

【請求項 4 8】 前記インタフェース手段は、

前記貯蔵手段と前記データ印加手段、前記データ印加手段と前記チップ、前記チップと前記データ貯蔵手段、及び前記データ貯蔵手段と前記貯蔵手段間のデー

タ伝送を制御するための制御手段を備えたことを特徴とする請求項 4 4 に記載のチップ設計検証装置。

【請求項 4 9】 前記データ印加手段は、

前記貯蔵手段に貯蔵されたデータの圧縮されたデータを貯蔵するための第 1、2 メモリを備えたことを特徴とする請求項 4 5 に記載のチップ設計検証装置。

【請求項 5 0】 前記データ貯蔵手段は、

前記チップから出力されるデータの圧縮されたデータを貯蔵するための第 3、4 メモリを備えたことを特徴とする請求項 4 5 に記載のチップ設計検証装置。

【請求項 5 1】 前記データ印加手段は、

前記貯蔵手段に貯蔵されたテストベクトルをなすデータを圧縮して所定単位で分けて前記第 1、2 メモリに交代で貯蔵しながら、前記第 1、2 メモリに貯蔵されたデータを復元して前記チップに交代で印加することを特徴とする請求項 4 9 に記載のチップ設計検証装置。

【請求項 5 2】 前記データ貯蔵手段は、

前記チップから印加されるデータを圧縮して前記第 3、4 メモリに交代で貯蔵しながら前記第 3、4 メモリに貯蔵されたデータを貯蔵手段に交代で貯蔵することを特徴とする請求項 5 0 に記載のチップ設計検証装置。

【請求項 5 3】 前記応用プログラムは、

前記入力ファイルをなすデータを前記データ印加手段に貯蔵する時圧縮／復元プログラムにより圧縮貯蔵して、

前記データ貯蔵手段に貯蔵されたデータを前記グラフィックユーザーインタフェースに伝送する時前記圧縮／復元プログラムにより復元することを特徴とする請求項 4 5 に記載のチップ設計検証装置。

【請求項 5 4】 前記制御手段は、

前記データ印加手段に貯蔵された圧縮データを復元して前記チップに印加して、前記チップから出力されるデータを圧縮して前記データ貯蔵手段に貯蔵するためのデータ圧縮／復元手段を備えたことを特徴とする請求項 4 8 に記載のチップ設計検証装置。

【請求項 5 5】 前記制御手段は、

前記設定されたトリガ条件に該当するほどのクロック信号に応答して前記チップから出力されるデータを前記データ貯蔵手段に貯蔵して前記グラフィックユーザーインタフェースにディスプレイすることを特徴とする請求項５７に記載のチップ設計検証装置。

【発明の詳細な説明】**【0001】****【発明の属する技術分野】**

本発明は、チップ設計検証及びテスト装置に係り、特にチップ設計時には設計者が設計したチップの作動を確認するための検証器を用い、チップ製作以後には製作されたチップの作動をテストするためのテストを用いることができるチップ設計検証及びテスト装置及び方法に関する。

【0002】**【従来の技術および発明が解決しようとする課題】**

半導体設計自動化と関連した各種EDA (Electronic Design Automation) ツール (tool) の普及が拡大されてHDL (Hardware Description Language) を利用した設計方法が普遍化されながらASIC (application specific

IC) の設計環境は大きく改善された。したがって、設計される回路の大きさも既存の数万～数十万ゲート水準から近来には数百万ゲートに至る程度の容量を設計するのに至り、ASICは一つのチップにシステムを具現することが可能な程度に至った。このように構成されたシステムをSOC (system on a chip) という。

【0003】

このような巨大容量の回路を一つのASIC素子で具現することが可能になったことはサブミクロン (Sub-micron) 化された半導体工程技術が後押しされたものということができ、半導体工程技術のサブミクロン化が進められるほど設計されるASIC素子は、より一層高集積化及び高速化傾向を示すようになる。

したがって、大容量の複雑な回路を正しく作動するASIC素子として作り出すことにおいて最大の障害要因で浮び上がることが回路のシミュレーション (simulation) とシステム水準で設計された回路が正しく作動を遂行しているか否かを検証することである。

【0004】

回路を設計する人間は、大体その回路にいかなる入力を加える時いかなる出力が出るという事実を分かって設計をするために、シミュレーションということも単にこのような機能を確認することにとどまる傾向がある。

しかし、その回路がASICになってシステムボード上に装着されたとき、システム上の回路は必ず設計者が回路の機能検証のために用いた入力と同一な形態の入力のみを発生はしない。

これはASIC不良の最も大きい要因ということができ、シミュレーション遂行が十分でないためということができる。

【0005】

設計しようとする回路の複雑度と大きさが大きくなるほど、再活用しようとするIP (Intellectual Property) ブロックの数が多いほど、システムボード上の作動を完璧に再現するシミュレーション遂行パターンを作成することとは非常に難しいことであり、特に、数百万ゲートに至る回路をマイクロプロセッサの命令語を基盤で作動するシミュレーションの遂行には多くの時間が所要される。

【0006】

シミュレーション遂行時のこのような問題をハードウェア的な方法で解決するために再プログラム可能なFPGA (field programmable gate array) が回路検証の手段で広く用いられており、このようなFPGAを基盤にしてさらに効果的なデバギング手段を備えたASIC検証器が活用されることもある。

FPGAは、ユーザーが現場で直接自身が設計した回路をFPGA用コンパイラの入力にしてコンパイルを遂行して、結果として生成したビットストリーム (bit stream) ファイルをFPGAに記録して入れることによって、自身の回路がハードウェア的にFPGAに形成されるようにすることができる素子として大体小さい規模の回路をシステム環境下で検証する時用いられ、比較的大規模の回路を効果的に検証するためには本格的なASIC検証器が必要である。

【0007】

従来のチップ設計検証装置としては、米国特許番号第6, 009, 256号に

公開されたコンピュータ内蔵型チップ設計検証器と、米国特許番号第5, 963, 735号に公開されたコンピュータ独立型チップ設計検証器がある。もちろん、他の検証器もあるが、ここでは代表的な2種の場合の検証器を従来技術の例に挙げて説明する。

【0008】

まず、米国特許番号第6, 009, 256号で公開された装置は、コンピュータ内部に設計しようとするチップのソフトウェアモデルに対する処理を遂行するプロセッサとハードウェアモデルを具現した再構成可能なハードウェアボードを備えてチップを具現して、具現されたチップの作動を検証した。また、この装置は設計されたチップが適用されるターゲットシステムがコンピュータの外部に連結されて相互有機的に作動することが可能である。

【0009】

ところで、この装置は設計されたチップのハードウェアモデルを具現するためのプログラム可能なゲートアレーで構成されたハードウェアボードが備わるようになるが、コンピュータのメインメモリと備わったハードウェアボード間のデータ伝送を遂行することにおいて、データ圧縮による伝送を行わないために性能の向上に制限が伴い、注文者が注文した回路のハードウェア構成が複雑になれば多数のハードウェアボードが備わらなければならない。

また、この装置はチップ設計段階でチップを設計して設計されたチップの作動を検証することはできるが、設計されたチップが製作された後に製作されたチップの作動をテストできる環境は提供しないという短所があった。

【0010】

次に、米国特許番号第5, 963, 735号で公開された装置は、コンピュータの外部にハードウェアエミュレータ (emulator)、及びユーザーの外部システム、VLSI装置、及びメモリで構成されている。ハードウェアエミュレータは構成 (configuration) 回路、ロジック分析器/パターン発生器、プログラム可能なゲートアレー、及びインタフェース回路で構成されている。

【0011】

コンピュータにはユーザーが検証しようとする設計回路と応用 (a p p l i c a t i o n) プログラムが常駐し、これによって検証しようとする設計回路を応用プログラムを通した一連の処理過程とコンパイル (c o m p i l e) を遂行して、検証しようとする設計回路の機能を具現するために各々のプログラム可能なゲートアレー別にビットストリームファイル (b i t s t r e a m f i l e) を生成し、これをプログラム可能なゲートアレーに各々記録して入れる。そして、装置使用者は応用プログラムのソフトウェア環境を通してハードウェアエミュレータの作動に関する制御を遂行することができる。

この装置も、上述した装置と同様に検証しようとする設計のハードウェアモデルを具現するためにプログラム可能なゲートアレーを備える。

【0012】

また、グラフィックと関連した活用例としてこの装置は、ハードウェアエミュレータに具現されたチップの入力を印加するためのインタフェース回路、及びハードウェアエミュレータと画面出力用のモニター間のインタフェースのための別途のインタフェース回路をユーザーが備えていなければならない。すなわち、ハードウェアエミュレータから出力される信号は遅い速度の信号であるので、これを直接的にモニター上にディスプレイする場合には正常的な画面が出力されない。したがって、ハードウェアエミュレータとモニター間にインタフェース回路を備えてモニター上に正常的な画面が出力されることができるようにする。

【0013】

したがって、従来の装置は、チップ設計を検証するために適用例によって附加的な適切なハードウェア検証環境が備わるべきであり、グラフィック関連設計の場合には別途の画面出力用グラフィックデータバッファリング装置とモニターを備えてこそ出力画面をモニターできるという問題点があった。

そして、上述した装置と同様にチップ設計段階でチップを設計して設計されたチップの作動を検証できたとしても、チップが製作された後に製作されたチップの作動をテストできないという問題点があった。

【0014】

また、上述した従来の装置はユーザーの検証対象設計を受け入れることができ

る各々の定形化された手段を備え、どのようにすれば検証対象の設計を作動がよ
くできる形態に定形化された手段に具現することかに焦点が合わせられてある反
面、多様な機能ブロックで構成されている検証対象の設計をどのようにすれば各
々の機能ブロック別に効果的な検証することができて、エラーを発見するのに適
合であり、効果的にデバギングを遂行することができるのかという問題に対して
はこれに相応しい多様でかつ統合された検証用ウィンドウ環境を提供することが
できないという問題点があった。

【0015】

本発明の目的は、チップ設計時には設計されたチップの作動を検証できる検証
器を用い、チップ製作以後には製作されたチップの作動をテストできるテストを
用いることができるチップ設計検証及びテスト装置を提供することにある。

本発明の他の目的は、設計されたチップ及び製作されたチップを構成する多様
な機能ブロックの誤謬を発見するのに適合なウィンドウを、グラフィックユーザ
ーインタフェースを利用してディスプレイすることによってエラーを容易に検出
できるチップ設計検証及びテスト装置を提供することにある。

本発明のさらに他の目的は、前記目的と他の目的を達成するためのチップ設計
検証及びテスト方法を提供することにある。

【0016】

【課題を解決するための手段】

前記目的と他の目的を達成するためのチップ設計検証及びテスト装置は、複数
個の機能ブロックを備えた、設計されたチップ及び製作されたチップの作動を検
証してテストするための応用プログラム及びテストベクトルを貯蔵するための貯
蔵手段、前記貯蔵手段と前記チップ間のデータ伝送を制御するためのインタフェ
ース手段、及び前記応用プログラムを遂行して制御するための中央処理装置を備
えたコンピュータを備え、前記インタフェース手段は、前記貯蔵手段から出力さ
れるテストベクトルを貯蔵して前記チップに印加するためのデータ印加手段、及
び前記チップから出力されるデータを貯蔵するためのデータ貯蔵手段を備えたこ
とを特徴とする。

【0017】

前記応用プログラムが遂行されれば、前記コンピュータのモニター上にグラフィックユーザーインタフェースをディスプレイして、前記グラフィックユーザーインタフェースを利用して検証モード及びテストモードを設定して、前記複数の機能ブロック各々に該当するテスト結果を複数のウィンドウの該ウィンドウを通してディスプレイして、ウィンドウ相互間に検証のための有機的な制御をすることを特徴とする。

【0018】

前記また他の目的を達成するための本発明のチップ設計検証及びテスト方法は、複数の機能ブロックを備えて設計されたチップ及び製作されたチップの作動を検証してテストするための応用プログラム、入出力データ、及びテストベクトルを貯蔵するための貯蔵手段を備えたコンピュータを備えたチップ設計検証及びテスト方法において、前記応用プログラムを遂行するによりグラフィックユーザーインタフェースをモニター上にディスプレイする段階、前記グラフィックユーザーインタフェースにより作動モードが前記設計されたチップの作動を検証する検証モードに設定された場合には前記貯蔵手段に貯蔵されたターゲット用入力データまたはテストベクトルをなすデータを交代でデータ印加手段に貯蔵する段階、及び前記チップから出力される出力データを交代でデータ貯蔵手段に貯蔵する段階を備えて、前記グラフィックユーザーインタフェースにより作動モードが前記製作されたチップをテストするテストモードに設定された場合には前記貯蔵手段に貯蔵されたテストベクトルをなすデータを交代でデータ印加手段に貯蔵する段階、及び前記データ印加手段に貯蔵された前記テストベクトルをなすデータを交代で前記チップに印加しながら前記チップから出力されるデータを交代で前記データ貯蔵手段に貯蔵する段階を備えたことを特徴とする。

【0019】

【発明の実施の形態】

以下、添付した図面を参考しながら本発明のチップ設計検証及びテスト装置及び方法を説明する。

図1は、一般的なコンピューターシステムのブロック図であって、モニター1と本体2で構成され、本体2は中央処理装置CPU10、グラフィック信号処理

装置 12、グラフィックメモリ 14、ホストブリッジ 16、メインメモリ 18、PCI/I SAブリッジ 20、ハードディスク 22、PCI 装置が具備されるスロット 24、及び I SA 装置が具備されるスロット 26 で構成されている。

【0020】

図 1 に示したブロック各々の構成を説明すれば次のとおりである。

CPU 10 は、応用プログラムを遂行して全般的な制御を遂行する。ホストブリッジ 16 は、CPU 10、メインメモリ 18、グラフィック信号処理装置 12、PCI スロット 24、及び PCI/I SAブリッジ 20 間のインタフェースを遂行する。メインメモリ 18 は、CPU 10 により持ってきたハードディスク 22 に貯蔵された応用プログラムと各種入出力データなどを貯蔵する。グラフィック信号処理装置 12 は、グラフィックメモリ 14 と連結されてメインメモリ 18 から伝送されるグラフィック信号をグラフィックメモリ 14 に貯蔵して、信号処理してモニター 1 上にディスプレイする。

【0021】

PCI スロット 24 は、PCI バスに連結されてデータを伝送する。PCI スロット 24 には LAN カード、ファックスモデムカード等のような PCI 装置が挿設されるようになる。PCI/I SAブリッジ 20 は、ハードディスク 22、メインメモリ 18、ホストブリッジ、PCI スロット 24、及び I SA スロット 26 間のインタフェースを遂行する。ハードディスク 22 は、応用プログラム及び多種のデータを貯蔵する。I SA (industry standard architecture) スロット 26 は、I SA バスに連結されてデータを伝送する。I SA スロット 26 には PCI スロット 24 と同様に I SA バス規格を支援する装置が挿設されるようになる。

図 1 のブロック図で、PCI スロット 24 と I SA スロット 26 を便宜上各々四個と一個で図示したが、必要に応じてはさらに多く備える場合もある。

【0022】

図 2 は、本発明のチップ設計検証及びテスト装置の構成を図式化したブロック図であって、チップ設計検証及びテストプログラム 30 とインタフェース手段 32 を備えた本体 2、及びターゲット 34 で構成されている。

すなわち、本発明のチップ設計検証及びテスト装置は、図1に示したように構成されたコンピュータシステムの本体2のハードディスク22にチップ設計検証及びテストプログラム30を設置して、P C Iバスに連結されたP C Iスロット24にインタフェース手段32を備えて構成されている。

【0023】

図3Aは、本発明の一実施例のターゲット34を示すものであって、ソフトウェアIP (Intellectual Property)、プログラム可能なゲートアレー (FPGA)、メモリ、及びマイクロコントローラユニット (MCU; micro controller unit) で構成される。

図3Aで、ソフトウェアIPは、メモリとマイクロコントローラユニットを利用して具現され、またはこれに相応するハードウェアIPを利用して具現され、FPGAはプログラム可能なゲートアレーをいうものであり、設計者が設計した回路のハードウェア部分が具現される。メモリ、及びマイクロコントローラユニットは汎用のチップを用いて具現される。すなわち、図3Aに示したターゲット34は、ソフトウェアIP、汎用のチップであるハードウェアIP、メモリ、マイクロコントロールユニット及び汎用のチップにより具現が不可能なハードウェア部分をFPGAを利用して具現したものである。

【0024】

図3Bは、本発明の他の実施例のターゲット34を示すものであって、オーディオ、ビデオ、テレコミュニケーション、周辺回路、MCU、ROM、RAM、及びハードウェアIPで構成される。

すなわち、図3Bに示したターゲット34は、注文者の注文によって製作されたチップを示すものであり、一般的に図3Bに示したようなブロックでなされる。

図3Bに示したオーディオ、ビデオ、テレコミュニケーション、周辺回路ブロックが図3AのFPGAで具現される部分に該当し、ROMとRAMは図3Aのメモリに該当し、ハードウェアIP部分はソフトウェアIPに該当する。

そして、図示しなかったが、ハードウェアエミュレータ (emulator) のようなものがターゲット20になることができる。

すなわち、本発明のチップ設計検証及びテスト装置は、ターゲット34の対象に特別な制限がない。

【0025】

図3A、図3Bから分かるように、本発明のターゲット20は、チップ設計時には図3Aに示したような汎用のチップとプログラム可能なゲートアレーで構成されて設計されたチップになる場合もあって、またハードウェアエミュレータになる場合もある。そして、チップ製作以後には図3Bに示したような製作されたチップになる。

【0026】

図4は、本発明のチップ設計検証及びテスト装置のインタフェース手段の実施例のブロック図であって、コネクタ1、2、3、4、5（C1、C2、C3、C4、C5）、メモリ1、2、3、4（M1、M2、M3、M4）で構成されたメモリ40、制御部42、バス終端回路44、リセット回路46、及びスイッチSWで構成されている。

図4に示したインタフェース手段は、インタフェースボードの構成を示すものであって、図1に示した本体2のPCIスロット24に図4の48で表示された部分が挿設されるようになる。

【0027】

図4に示したブロック各々の機能を説明すれば次のとおりである。

コネクタ1（C1）は、メモリ容量の拡張のためのコネクタであって、メモリ40で連結されたすべての信号を入出力するために用いられる。コネクタ1（C1）はメモリ容量を拡張するためにメモリボードを連結し、隣接するインタフェース手段32のメモリを用いるために用いられる。コネクタ2（C2）は本体2内のPCIスロット24に多数枚のインタフェース手段32を用いようとする時、各々のインタフェース手段32を連結するために用いられる。コネクタ3（C3）は応用プログラムによるピン対信号（pin to signal）割り当てによってターゲット34と連結される信号用で用いられるコネクタであって、外部のターゲット連結ケーブルを通してターゲットと連結される。コネクタ3（C3）は、本体2の前面部が後面に比べてさらに多くの空間があ

るので、本体2の前面部に配置される。

【0028】

コネクタ4、5（C4、C5）は外部のクロック発生器またはターゲット34から入力される基準信号を連結するために用いられ、インタフェース手段32からターゲット34に連結されるクロック信号またはインタフェース手段32から外部のパルス発生器（図示せず）に伝送される制御信号を連結するために用いられる。コネクタ4（C4）は、本体2の前面部に配置するための前面配置用であって、コネクタ5（C5）は、本体2の後面部に配置するための後面配置用である。また、インタフェース手段32の制御部42とターゲット34間、または制御部42と周波数発生器（function generator）のような外部の計測器（図示せず）間に連結される各種信号を連結するための用途である。

【0029】

メモリ40は、メモリM1、M2、M3、M4中2個のメモリはメインメモリ18から受けたデータを貯蔵して、貯蔵されたデータをターゲットに出力して、残り2個のメモリはターゲット34から出力されるデータを貯蔵して、貯蔵されたデータをメインメモリ18に出力する。リセット回路46は外部のリセットスイッチ（図示せず）によりリセット信号を発生する。バス終端回路44はデータ出力時には制御部42から出力されるデータをバッファしてコネクタ3（C3）に印加して、データ入力時にはコネクタ3（C3）から印加される信号をバッファして制御部42に印加する。

【0030】

スイッチSWは、複数個のインタフェース手段32がPCIスロット24に装着される場合に該インタフェース手段32の識別番号を設定するためのディープスイッチで構成されている。制御部42はメインメモリ18とメモリ40間、メモリ40とターゲット34間、ターゲット34とメモリ40間、及びメモリ40とメインメモリ18間のデータ伝送を制御する。

【0031】

図5は、図4に示した制御部の実施例のブロック図であって、リセット処理部

50、プラグ&プレー制御部52、PCIローカルバスインタフェース制御部54、アドレス発生部56、メモリ制御部58、汎用状態レジスタ制御部60、インタラプト制御部62、トリガ条件制御部64、クロック制御部66、リードバック/JTAG制御部68、並/直列変換部70、データ圧縮/復元制御部72、ターゲットインタフェース制御部74、バス終端回路制御部76、及びグリッチ (glitch) 検出部78で構成されている。

【0032】

図5に示したブロック各々の機能を説明すれば次のとおりである。

リセット処理部50は、制御部42の内部レジスタに対する初期化作動を遂行する目的で用いられる信号である。リセット信号は外部のリセットスイッチにより強制的にリセットされたり、チップ設計検証及びテストプログラムによりリセットされたり、PCIバスシステムによりリセットされたり、正常的な作動完了により最後フレーム伝送完了時に発生する。プラグ&プレー制御部52はプラグ&プレー作動のための各種PCI構成レジスタ（図示せず）に対する制御を遂行する。PCIローカルバスインタフェース制御部54は各種PCI関連信号と直接的に連結されている部分であって、PCIバスを通したメインメモリ18とインタフェース手段32のメモリ40間のインタフェース制御を遂行する。アドレス発生部56はメインメモリ18とインタフェース手段32のメモリ40間のデータ伝送時またはインタフェース手段32のメモリ40とターゲット34間のデータ伝送時にインタフェース手段32のメモリ40に対するアドレスを発生する。

【0033】

メモリ制御部58は、PCIローカルバスインタフェース制御部54及びターゲットインタフェース制御部74の制御信号によってインタフェース手段32のメモリ40を直接的にアクセスしてデータ伝送作動を遂行する。汎用状態レジスタ制御部60はデータ伝送作動によるインタフェース手段32の各種状態を点検して、その結果を内部の汎用状態レジスタに貯蔵する。インタラプト制御部62はメインメモリ18とインタフェース手段32のメモリ40間のデータ伝送を要請するためのインタラプト発生を制御する。トリガ条件制御部64はロジック分

析器の具現のために高いサンプリング周波数により作動し、チップ設計検証及びテストプログラムを遂行するにより画面上にディスプレイされる各種グラフィックユーザーインタフェース (GUI ; graphic user interface) によりユーザーがデータ圧縮／復元制御部72を通して入／出力される任意のI／Oに対して設定したトリガ条件を伝送受けた状態でターゲット34に対する入力信号と出力信号をリアルタイムでモニターリングしながらトリガ条件に一致する位置を検出する。

【0034】

また、トリガ条件制御部64はユーザーがGUIを通して設定した入力または出力フレームステップ数またはクロックステップ数をトリガ条件で設定する場合もある。入力または出力フレームステップ数がトリガ条件制御部64にトリガ条件で設定された場合にはデータ圧縮／復元制御部72の入／出力処理過程でカウントされる入力または出力フレーム数がトリガ条件で設定された入力または出力フレームステップ数と一致する地点でトリガ作動を遂行するようになる。同一な方法で、クロックステップ数がトリガ条件で設定された場合にはクロック制御部68から発生するクロック信号中トリガ条件で設定されたクロック信号のカウント結果がトリガ条件で設定されたクロックステップ数と一致する地点でトリガ作動を遂行する。トリガ条件は上述したような方法で個別的に適用したり優先順位を置いて混用して適用する場合もある。

【0035】

上述した方法によりトリガ位置が検出されれば、トリガ条件制御部64は、装置使用者により設定されたGUI上のディスプレイ基準位置を考慮してアドレス発生部56とメモリ制御部58から入力されるトリガ地点におけるアドレスとメモリ領域情報から画面ディスプレイのための開始アドレスと開始アドレスのメモリ領域、終了アドレスと終了アドレスのメモリ領域に関する情報を汎用状態レジスタ制御部60に貯蔵して、インタラプト制御部62にディスプレイ該メモリ区間のデータ伝送を知らせるインタラプト要請信号を伝達する。

【0036】

また、装置使用者により指定されたGUI上の表示位置を考慮してアドレス発

生部56とメモリ制御部58に対する基準信号を発生する。クロック制御部66はP C Iバス、外部クロック発生器、及びターゲット等からクロック信号を供給を受けてインタフェース手段32の内部クロック信号と外部クロック信号を発生する。また、クロック分周回路とロジック分析器 (l o g i c a n a l y z e r) で用いられる高速サンプリングクロック信号を発生させるための位相同期ループ (P L L ; p h a s e l o c k e d l o o p) 回路を内蔵している。リーダーバック/JTAG制御部68はターゲット34を構成するFPGA、MCU、その他リーダーバック/JTAGを支援する素子の任意の内部ノードまたはレジスタに対する値を読出す。JTAGに関する事項はIEEE1149.1に従う。

【0037】

GUIのリーダーバック/JTAG関連メニュー項目を利用してユーザーが設定したリーダーバック/JTAG遂行対象素子の内部ノードまたはレジスタの位置情報、連続的な作動の遂行のためのクロックステップの数等のような情報を伝達された後に、これを基礎としてターゲット34を構成する該素子に対するリーダーバック/JTAG入力信号と出力信号に対する発生と貯蔵を制御する。並/直列変換部70は直列データを並列に変換したり、並列データを直列データに変換する。

【0038】

データ圧縮/復元制御部72はインタフェース手段32のメモリ40に圧縮された形態で貯蔵されているデータをターゲット34に印加する時復元する作動を遂行して、ターゲット34から印加されるデータを貯蔵する時圧縮する作動を遂行する。ターゲットインタフェース制御部74はターゲット34に対するデータ入出力作動の遂行のためのインタフェース制御をする。バス終端回路制御部76は、チップ設計検証及びテストプログラムのピン対信号割り当て結果を伝達されてターゲット34に対する連結作動に対する制御を遂行し、リセット信号が入力された場合にはバス終端回路44がコネクタ3 (C 3) とバス終端回路44間にデータが伝送できないようにする。

【0039】

グリッチ検出部78は、ターゲット34から流入するデータに含まれたグリッチ成分を検出して、グリッチ成分の位置をウィンドウ上に表示するためにグリッチが検出された地点におけるクロック数またはインタフェース手段32のメモリ40のアドレスを別途のレジスタ（図示せず）やメモリ40に貯蔵する。

【0040】

上述した実施例のインタフェース手段32は、ターゲット34に信号を印加する場合及びターゲット34から出力される信号を貯蔵する場合の2種の機能をすべて遂行することを示した。しかし、インタフェース手段32はターゲット34に信号を印加する用途のみで用いられる場合もあって、ターゲット34から印加される信号を貯蔵する用途のみで用いられる場合もある。

【0041】

インタフェース手段32の用途を設定することはチップ設計検証及びテストプログラムを遂行するによりモニター1上にディスプレイされるグラフィックユーザーインタフェースを用いて設定することが可能である。

例えば、PCIスロット24に複数個のインタフェース手段32が挿設されている場合に、最初インタフェース手段32は信号印加用（または、パターン発生器）で用いて、二番目インタフェース手段32は信号貯蔵用（または、ロジック分析器）で用いて、3番目インタフェース手段32は信号印加及び貯蔵用（または、パターン発生器及びロジック分析器）で設定する式で各々のインタフェース手段32の用途を設定することができる。このとき、インタフェース手段32のディープスイッチSWを利用して識別番号を異なるようにして、この識別番号を利用してGUI上でインタフェース手段32の用途を異なるように設定することが可能である。

【0042】

また、図4のインタフェース手段32の制御部42をFPGAで構成して、FPGAに図3Aまたは図3Bに図示されたようなターゲットの一部を構成するようになればインタフェース手段32の本来の用途以外にターゲットでも活用できる。

すなわち、制御部42をFPGAで構成するによりインタフェース手段32を

ターゲットで使用时には、図3Aまたは図3Bの構成ブロック中FPGAに具現可能なブロックはFPGAに構成して、図3Aまたは図3Bの構成ブロック中メモリブロックはインタフェース手段32の比較的大容量のメモリ40を利用して具現できる。

【0043】

図6Aは、本発明のインタフェース手段とターゲットとの連結のためのモジュールの一実施例の構成を示すものであって、モジュール94は本体2のCD ROMドライブ、及びハードディスクが装着される部分82に装着される。

コンピュータ本体20は、カバー6と前面部のCD ROMドライブ、ハードディスクが装着される部分82、フロッピー（登録商標）ディスクドライブが装着される部分84、パワーボタン86、リセットボタン88でなされて、後面部のスロットポート80でなされる。そして、メインボード4はCPUスロット92、メモリスロット90、PCIスロット24、及びISAスロット24を備えてなされる。

【0044】

モジュール94は、ハウジングHG1、ボードBD1、コネクタCB1、CB2、CB3、CB4、リセットスイッチRSW、及びLED指示器LEDで構成されている。

インタフェース手段32のコネクタ3、4（C3、C4）は、モジュール94のボードBD1上のコネクタCB1、CB2にケーブル（図示せず）により各々連結される。そして、コネクタCB1はボードBD1の信号ラインを通してコネクタCB3に連結されて、コネクタCB3はケーブル（図示せず）によりターゲット34と連結される。リセットスイッチRSWはボードBD1の信号ラインを通してコネクタCB2に連結される。LED指示器LEDはモジュールの各種状態を点検できる指示器（indicator）である。

図6Aに示したようなモジュールを利用して本体2とターゲット34との連結が容易になる。

【0045】

図6Bは、本発明のインタフェース手段とターゲットとの連結のためのモジュ

ールの他の実施例の構成を示すものであって、モジュール94は本体2のCD ROMドライブ、及びハードディスクが装着される部分82に装着される。

図6Bに示した実施例のモジュール96は、2個のCD ROMドライブが装着される空間に装着されることを示したものである。しかし、3個または4個のCD ROMドライブが装着される空間に装着されるように構成する場合もある。

【0046】

モジュール96は、ハウジングHG2、バックプレーンBD4、上、下部ボードBD2、BD3、上、下部ボードBD2、BD3に対称で装着されたガイドGD1、GD2、モジュールの内側方向にバックプレーンBD4に配置されたコネクタCB5、及びモジュールの外側の方の方向にバックプレーンBD4に配置されたコネクタCB6で構成されている。そして、コネクタCB5とコネクタCB6はバックプレーンBD4の信号ラインを通して相互連結されている。

【0047】

図6Bに示したモジュール96は、7個のインタフェース手段を装着できるように構成されている。

したがって、図6Aに示した実施例のモジュールよりさらに多数のインタフェース手段を装着できるので、ターゲット34の入出力端子の数が多い場合にも対応することができる。

ところで、図6Bに示したようにインタフェース手段32をモジュール96に装着する場合にはメインボード4のPCIスロット24にインタフェース手段32とPCIスロット24との連結のための連結ボードが追加されなければならない。

【0048】

図6Cは、インタフェース手段が図6Bに示したモジュールに装着される時PCIスロット24に装着される連結ボードの実施例の構成を示すものであって、連結ボードPCB1はコネクタCB7、CB8を備えて構成される。

連結ボードPCB1上にはメインボード4上のPCIスロットに装着される部分P1とコネクタCB7間の連結のための信号ライン等と外部信号連結のため

のコネクターCB8が配置されている。ここで、コネクターCB8は図4のコネクター5(C5)に相応する。

【0049】

図6Cに示したコネクターCB7は、モジュール96のコネクターCB6とケーブル(図示せず)を通して連結されるようになる。

図6Bに示した他の実施例のモジュール96の構成で、バックプレーンBD4の外側の方に装着されるコネクターCB6を一つのみ連結して、メインボード4のPCIスロットに装着される図6Cに示した連結ボードをPCIスロット等の中の一つのスロットにのみ装着するように構成する場合もある。

すなわち、この場合にはバックプレーンBD4の内側に装着されるコネクターCB5がコネクターCB6にバックプレーンBD4の信号ラインを通して共通連結される。

【0050】

図6Dは、図6Bに示したモジュールに装着のためのインタフェース手段32の実施例のボード形態を示すものであって、ボードPCB2、コネクターCB9、CB10、及び板P2で構成されている。図6Dで、ボードPCB2上の構成部品と信号ラインは示さなかった。

図6Dに示したボードPCB2上にインタフェース手段32を構成して、コネクターCB9が図6BのコネクターCB5に挿設されるようになる。図面ではコネクターCB9とコネクターCB5が挿設されることを示したが、コネクターCB5をスロット形態として、ボードPCB2がスロットに装着される形態で構成しても関係がない。この場合には、ボードPCB2のコネクターCB9が要らなくなる。

【0051】

図6Eは、本発明のインタフェース手段とターゲットとの連結のためのモジュールのまた他の実施例の構成を示すものであって、図6Bに示したことと同様にモジュール98は本体2のCD-ROMドライブ及びハードディスクが装着される部分82に装着される。

【0052】

モジュール98は、ハウジングHG3、バックプレーンBD7、上、下部ボードBD5、BD6、上、下部ボードBD5、BD6に対称で装着されて分離されたガイドGD3-1、GD3-2とGD4-1、GD4-2、モジュールの内側方向にバックプレーンBD7に配置されたコネクタCB5、及びモジュールの外側の方向にバックプレーンBD7に配置されたコネクタCB6、上、下のガイドGD3-1、GD4-1に装着されるインタフェース手段32を固定するための固定片FS1、FS2、固定片FS1、FS2により固定されてインタフェース手段32を固定するための固定台F1、及び支持台F2を固定するための固定片FS3、FS4で構成されている。ただし、上部ボードBD5と下部ボードBD6に配置されたガイドGD3-1、GD3-2、GD4-1、GD4-2は上、下部ボードBD5、BD6を通さないで直接ハウジングHG3の上、下部に固定される場合もある。そして、コネクタCB5とコネクタCB6はバックプレーンBD7の信号ラインを通して共通連結されている。

図6Eに示したモジュールの各々の機能を説明すれば次のとおりである。

【0053】

上、下のガイドGD3-1、GD4-1を通してインタフェース手段32が装着されて、上、下のガイドGD3-2、GD4-2を通してターゲット34ボードまたはインタフェース手段32とターゲット34との連結のための連結ボードが装着される。固定台F1は弾性を有した針金のようなもので構成されて上、下のガイドGD3-1、GD4-1を通してインタフェース手段32が装着されればインタフェース手段32を固定する。すなわち、固定台F1が溝Hの上側に位置して、固定台F1の外部連結レバーを溝Hの下方に押してインタフェース手段32を装着する。インタフェース手段32を装着した後固定台F1の外部連結レバーを解除すれば固定台F1は溝Hの上側に移動するようになる。

【0054】

それで、インタフェース手段32にターゲット34ボードまたはインタフェース手段32とターゲット34との連結のための連結ボードが着脱される時固定台F1によりインタフェース手段32が動かないようにになる。もしもターゲット34に対する検証を遂行した後にターゲット34にエラーが発生すればターゲッ

ト34の任意のノードに対する検針をしてデバギングを遂行しなければならない。このとき、ターゲット34がモジュール98の内部に装着されていれば検針を遂行することができないので検針を容易にするためにターゲット34ボードをモジュール98の外側に抜き出さなければならない。すなわち、支持台F2を前に抜き出した後にインタフェース手段32とターゲット34との連結のための連結ボードを上、下のガイドGD3-2、GD4-2に装着して、連結ボードにターゲット34ボードを連結する。

上述したような方法でインタフェース手段32とターゲット34を連結することによってインタフェース手段32とターゲット34をコンピュータ本体のカバーをオープンしなくて容易に連結することができる。

【0055】

図6Fは、本発明のモジュールのバックプレーンの望ましい実施例の構成を示すものであって、バックプレーンBD7は内側に付着されたコネクタCB5、外側の方に付着されたコネクタCB6、CB11、CB12、及び電源遮断スイッチPSWで構成されている。

【0056】

そして、コネクタCB5とコネクタCB6は、図4に例示されたPCI信号ライン48、メモリ拡張用で用いられるコネクタ1(C1)の信号ライン、インタフェース手段32を相互間連結するための用途で用いられるコネクタ2(C2)の信号ライン、PCIの後面部を通して外部と連結する用途のコネクタ5(C5)の信号ラインで構成される信号ラインSL及び制御信号ラインCSL、及び電源ラインPLにより共通連結されて、コネクタCB11はPC用電源を供給するためのものであって、コネクタCB12はテスト用電源を供給するためのものである。電源遮断スイッチPSWはテスト時にインタフェース手段32とターゲット34とのデータ入出力時にインタフェース手段32の制御の下にコネクタCB11から印加されるPC用電源を遮断するためのものである。

【0057】

図6Fに示したようにテスト用電源を別途に備えなければならない理由は、PC用電源にはリップル(ripple)ノイズ及びグラウンド(ground)

ノイズなどのノイズが含まれているためにテストのための電源で用いることには不適合である。

【0058】

それで、インタフェース手段32がパターン発生器及び／またはロジック分析器で用いられる場合にメインメモリからインタフェース手段32のメモリにデータを貯蔵する時まではコネクタCB11を通して印加されるPC用電源を用いる。しかし、インタフェース手段32のメモリにデータが貯蔵された後にはインタフェース手段32が制御信号ラインCSLに制御信号を発生して電源遮断スイッチPSWをオフすることによりPC用電源は遮断されて、コネクタCB12を通して安定したテスト用電源のみ電源ラインPLに印加される。そして、インタフェース手段32とターゲット34とのデータ入出力作動が完了された後にはインタフェース手段32が制御信号ラインCSLに制御信号を発生して電源遮断スイッチPSWをオンすることによってコネクタCB11を通して供給されるPC用電源が再び電源ラインPLに連結される。

図6Fに示したようにバックプレーンBD7を構成してテスト時にテストのためのテスト用電源を印加することによって安定した作動を遂行できるようになる。

【0059】

図7は、本発明のチップ設計検証及びテスト装置のチップ設計検証及びテストプログラムを遂行するによる本体2内部の作動を説明するための作動流れ図である。

まず、装置使用者がチップ設計検証及びテストプログラムを実行すれば、CPU10はハードディスク22に貯蔵された応用プログラムを図8に示したメインメモリ18のチップ設計検証及びテストプログラム領域に持ってきて、グラフィック信号処理装置12を通して図9に示したような実施例のGUIをディスプレイする(第100段階)。

装置使用者がGUIのメニュー項目を利用して各種変数に対する初期値設定、ユーザー指定変数、及び関連変数の内容を指定する(第110段階)。

【0060】

第110段階で、図4に示したインタフェース手段32のコネクター3、4（C3、C4）の各ピンに対する信号を割り当てる。インタフェース手段32の各々のフレームバッファ大きさを決定して、ディスプレイのためのチャンクメモリ（chunk memory）の大きさを決定する。ターゲットに入力するための入力データファイルまたはテストベクトルを貯蔵したハードディスク22のファイルを指定して、ターゲットから出力されるデータを貯蔵するためのハードディスク22のファイルを指定する。そして、オンライン（online）またはオフライン（offline）モードを指定する。オンラインとはターゲット34からインタフェース手段32に伝送されるデータをモニター1上にすぐディスプレイすることをいって、オフラインとはターゲット34からインタフェース手段32に伝送されるデータをモニター1上にディスプレイしないでハードディスク22の指定されたファイルに貯蔵することをいう。同時にオンラインモードとオフラインモードを指定して作動の結果をモニター1にディスプレイしてハードディスク22に貯蔵する作動も可能である。

【0061】

そして、装置使用者がGUIのメニュー項目を利用してインタフェース手段32の作動モードを設定する（第120段階）。作動モードには検証モード、及びテストモードがある。検証モードではインタフェース手段32を信号印加用、信号貯蔵用、または信号印加及び貯蔵用で用いることかを設定するようになって指定された入出力ファイルまたはテストベクトルファイルをターゲットに／から絶えることがなく連続的に印加／貯蔵作動を遂行することを示して、テストモードではインタフェース手段32をパターン発生器、ロジック分析器、またはパターン発生器及びロジック分析器で用いることかを設定するようになってターゲット34に対する1フレーム単位のデータを高速で入出力する作動を遂行することを示す。

【0062】

GUIのメニュー項目により設定された初期化値にしたがって初期化作動を遂行する（第130段階）。すなわち、インタフェース手段32に初期化値を伝送して、作動の開始を知らせる。

GUIのメニュー項目により設定された初期化値及び作動モードによって汎用状態レジスタ制御部60の内部レジスタの値を設定する(第140段階)。汎用状態レジスタ制御部60の内部レジスタにはインタフェース手段32のスイッチSWにより設定された識別番号、PCIバスを占有しているかに対する情報、メインメモリ18とインタフェース手段32間の信号伝送方向、アクセスされるメモリ、伝送要求のためのインタラプト、伝送完了のためのインタラプト、速度モニターリング値、フレーム大きさ変更、最後フレーム伝送に対する情報、及びリセット情報などが貯蔵される。

【0063】

インタフェース手段32は、PCIバスを通してCPU10にインタラプトを発生する(第150段階)。

CPU10は、インタフェース手段32からインタラプトが入っているかを判断する(第160段階)。もしもインタラプトが発生していなければインタラプトが発生したのかを継続的に監視して、インタラプトが発生したならばインタフェース手段32の制御部42の汎用状態レジスタ制御部60の内部レジスタの値を読んで図7に示したメインメモリ18の汎用状態レジスタ領域に貯蔵する(第170段階)。

【0064】

CPU10は、メインメモリ18の汎用状態レジスタ領域に設定された値にしたがって作動遂行のための項目をチェックする(第180段階)。

CPU10は、インタフェース手段32に汎用状態レジスタ領域の値を読んだという認識(acknowledge)信号を送る(第190段階)。

CPU10は、メインメモリ18の汎用状態レジスタ領域に設定された値がメインメモリ18からインタフェース手段32に設定されているかを判断する(第200段階)。

【0065】

もしも第200段階を満足すれば、CPU10はメインメモリ18の汎用状態レジスタ領域に貯蔵された値が指定するインタフェース手段32のメモリ40のメモリM1、M2、M3、M4中の一つでメインメモリ18のフレームバッファ

領域に貯蔵されたデータを伝送する（第210段階）。

もしも第210段階を満足しないと、CPU10はメインメモリ18の汎用状態レジスタ60が指定するインタフェース手段32のメモリ40のメモリM1、M2、M3、M4中の一つに貯蔵されたデータをメインメモリ18のフレームバッファ領域に伝送する（第220段階）。

【0066】

1フレーム伝送完了によってインタフェース手段32の制御部42の汎用状態レジスタ制御部60の内部レジスタの値をアップデートする（第230段階）。

CPU10は、メインメモリ18のフレームバッファ領域の内容をウィンドウ上にディスプレイするためにメインメモリ18のチャンクメモリ領域に移動する（第240段階）。

CPU10は、メインメモリ18のチャンクメモリの内容をグラフィック信号処理装置12により信号処理してGUIの指定されたウィンドウにディスプレイする（第250段階）。

【0067】

CPU10は、メインメモリ18の汎用状態レジスタ領域及びインタフェース手段32の制御部42の汎用状態レジスタ60に最後フレームが設定されているかを判断する（第260段階）。

もしも第260段階を満足すれば作動を終了して、もしも第260段階を満足しないと第150段階に進める。

【0068】

図8は、本発明のチップ設計検証及びテストプログラムを遂行するによる本体2内部のメモリ領域の割り当てを示すものであって、本発明のメインメモリ18はチップ設計検証及びテストプログラム領域、フレームバッファ領域、チャンクメモリ領域、及び汎用状態レジスタ領域に区分されて用いられる。

【0069】

図9は、本発明のチップ設計検証及びテストプログラムを遂行することによって図1のモニター1上にディスプレイされる実施例のGUIを示すものであって、本発明のGUIはチップ設計検証及びテストを遂行するために必要なメニュー

項目を備えて、多様なウィンドウを提供する。

【0070】

図9に示した実施例のGUI環境には一般的な用途で広く活用されうる波形(waveform)ウィンドウ、ディストリビューション(distribution)ウィンドウのみを提供しているが、本発明のGUI環境はオーディオブロックのための波形ウィンドウ、ビデオブロックのための実際のイメージディスプレイウィンドウ、テレコミュニケーションブロックのためのスペクトラムウィンドウ、MCUブロックのためのMDS(microprocessor development system)環境を提供するためのウィンドウ、任意のバス信号間の作動関係分析のための2次元または3次元座標上の配置を示すウィンドウ、周辺計測器の状態(例えば、出力設定電圧、オフセット電圧、出力設定周波数、デューティ比率(duty ratio)などを表示するためのウィンドウ、任意の波形発生を表示するためのウィンドウ、及びデジタルロジックの作動分析及びデバギング時に普遍的に用いられるロジック分析器の環境を提供する。

【0071】

すなわち、本発明のGUIは、ターゲット34を構成する各ブロックのエラーを捜し出すのに適合なウィンドウ環境を提供して、検証のための目的で用いられる外部電源供給装置及び周波数発生装置(function generator)などを同一なPCモニター上で制御できるウィンドウ環境を提供する。

【0072】

本発明はチップ設計検証器としてのみならずチップテスト装置としても用いられるためにインタフェース手段32がパターン発生器及びロジック分析器で作動することができなければならない。チップテスト装置で作動するためにはインタフェース手段32のメモリ40にテストベクトルを予め貯蔵しておかなければならない。ところで、テストベクトルの容量が小さい場合には問題がないが、テストベクトルの容量が大きい場合にはこれによるインタフェース手段32のメモリ40の容量も大きくななければならない。もちろん、上述したような方法によりインタフェース手段32のメモリの容量を拡張できる。

【0073】

しかし、メモリの容量の拡張するのに限界があるので、本発明ではインタフェース手段32のメモリに圧縮されたデータを貯蔵する方法を用いる。

すなわち、ハードディスク22に貯蔵されたテストベクトルをソフトウェア的に圧縮してメインメモリ18のフレームバッファ領域に貯蔵して、この圧縮されたデータをインタフェース手段32のメモリ40に貯蔵する。そして、インタフェース手段32は制御部42のデータ圧縮／復元制御部72により圧縮されたデータを復元してターゲット34に伝送する。逆に、ターゲット34から入力されるデータはインタフェース手段32の制御部42のデータ圧縮／復元制御部72により圧縮されてメモリ40に貯蔵されて、この圧縮されたデータがメインメモリ18のフレームバッファ領域に貯蔵されて、フレームバッファ領域に貯蔵された圧縮データがソフトウェア的に復元されてGUI上にディスプレイされる。

【0074】

これから、本発明の実施例のデータ圧縮及び復元方法を図面を利用して説明すれば次のとおりである。

図10は、本発明のハードディスクに貯蔵された実施例のテストベクトルを構成するデータロジック状態を示すシンボル（コード）及びシンボルの意味を示すテーブルである。

【0075】

図10のテーブルで、シンボル0はコード000を示して入力ロー（input low）を意味して、シンボル1はコード001を示して入力ハイ（input high）を意味して、シンボルLはコード010を示して出力ロー（output low）を意味する。そして、シンボルHはコード011を示して出力ハイ（output high）を意味して、シンボルSはコード100を示して弱いロー（weak low）を意味して、シンボルTはコード101を示して弱いハイ（weak high）を意味して、シンボルZはコード110を示してハイインピーダンス（high impedance）を意味して、シンボルXはコード111を示して未知（unknown）を意味する。

すなわち、本体2のハードディスク22には図10に示したような形態のテス

トベクトルが貯蔵されるようになる。

【0076】

図11は、本発明のチップ設計検証及びテストプログラムにより選択された入力ファイルがソフトウェア的に圧縮されて伝送される場合のデータフォーマットを示すものであって、1ビットのフラグ（FLAG）、3ビットまたは4ビットのランレングス（RUN LENGTH）、コード（CODE）、及びラン（RUN）データで構成される。

図11で、フラグ（flag）は、状態の変化がない場合であるか予め定義された最も頻度が高い状態の変化に該当する場合には0を、そうでない場合には1で表記する。ここで、定義された最も頻度が高い状態の変化に該当する場合とは図10のテーブルで、0から1に、1から0に、LからHに、HからLに変化する場合をいう。

【0077】

ランレングスは、データフォーマットの最後に構成されるランの長さを決定する値で、ベクトルを構成するIO信号の個数が128個を越えない場合には3ビットが割り当てられて、128個を越える場合には4ビットが割り当てられる。

コードは、図10に示したロジック状態のコードであって、フラグによりコードの長さが決定される。フラグが0である場合にはコードの長さが1ビットになり、このとき、コードが0である場合には状態の変化がないことを意味して、コードが1である場合にはロジック状態の変化があることを意味する。フラグが1である場合にはコードの長さが3ビットであって、図10のテーブルに示した8個のコード中の一つを表記する。

【0078】

ランは、指定されたロジック状態の反復回数を表記する。

一般的に、入力データは図10に示したような8個の状態のデータでなされて本体2のハードディスク22のような記録媒体に貯蔵されている。それで、検証またはテストを遂行するために入力ファイルが選択されると、ソフトウェア的にデータが圧縮されてメインメモリ18のフレームバッファ領域に貯蔵されて、フレームバッファ領域に貯蔵された圧縮データがインタフェース手段32のメモリ

40に貯蔵される。

【0079】

図12と図13を利用して本発明のチップ設計検証及びテストプログラムによってソフトウェア的にデータを圧縮する方法を例に挙げて説明すれば次のとおりである。

図12は、ハードディスクに貯蔵された実施例のテストベクトルを示すものであって、AからTまでの20個の入力データが時間(t)の変化によって各信号のロジック状態を示しているが、これは図13に示したような形態のデータに圧縮されて図11のデータフォーマットにより伝送される。

【0080】

図13は、図12に示した入力データのロジック状態及びランと図11に示したデータフォーマットにテストベクトルの圧縮された入出力データを示すものである。

図12のテーブルの最初行のデータのロジック状態及びランは、図13に示したようにH(5) L(2) 0(3) 1(2) 0(1) 1(5) X(2)で示すことができ、H(5)は図11のデータフォーマットによって1__011__011__101に符号化されて、L(2)は1__010__010__10に符号化されて、0(3)は1__010__000__11に符号化されて伝送される。このような方式で符号化すれば図13のテーブルに示した最初圧縮された入力データのように符号化されて伝送される。

【0081】

そして、図13のテーブルの二番目データのロジック状態及びランは、図12に示したようにo(2) 0(2) 1(3) o(8) 0(1) o(4)で示すことができ、このデータは最初データから二番目データへの変化を示す。

すなわち、最初入力データ以後のデータは、下記の3種の場合に示すことができる。

o ; フラグ0に該当する場合であってロジック状態の変化がないコードが0である場合、
0 ; フラグ0に該当する場合であってロジック状態の変化があるコードが1である場合、
1 ; フラグ1に該当する場合であってコードが図9に示した

8個の状態中の一つの値を有する場合

【0082】

したがって、図12のテーブルで、最初と二番目データ中データA、BはHHからHHに維持されたので0(2)で示され、データC、DはHHからLLに変化されたので0(2)で示される。このような方法で二番目入力データのロジック状態及びランを表示すれば図13のテーブルに示したように示され、また、このデータを図11に示したデータフォーマットに変換すれば図13のテーブルに示したような圧縮された入力データで示される。

3番目、4番目入力データは、上述したような方法により図13のテーブルに示したロジック状態及びランと圧縮された入力データで示すことができる。

【0083】

本発明のチップ設計検証及びテストプログラムを遂行するによりGUI上のメニュー項目を利用してハードディスク22に貯蔵された入力ファイルが選択されてデータ圧縮モードが指定されれば、入力ファイルに貯蔵されたテストベクトルをなす入力データが上述したようなデータ圧縮方法によりソフトウェア的に圧縮されてインタフェース手段32に伝送される。

データを復元する方法は、圧縮方法を逆に遂行すればいいので説明は省略する。

【0084】

上述したテストベクトルの圧縮方法は、テストベクトルの入力データと出力データを分離しなくて入力データと出力データ全体を一つのファイルで圧縮する方法を説明したものである。しかし、図7の110段階でコネクタ3を通して連結される入出力I/O各々に対する入力データと出力データの指定が各ピンの信号名と一緒に定義された状態では圧縮されたテストベクトルを入力データと出力データに分離して別途のファイルで処理することが可能である。

【0085】

前者に対するターゲットの誤作動検証方法で、インタフェース手段32の制御部42のデータ圧縮／復元制御部72は、メモリ40に貯蔵されたデータをデータ復元方法によってハードウェア的に復元して入力データはターゲット34に

印加して、出力データはトリガ条件制御部 64 を通してターゲット 34 から出力されるデータとリアルタイムで比較作動を遂行して比較結果がミスマッチにあらわれ始める地点の該アドレスをメモリに貯蔵して、連続されるミスマッチをカウントしてメモリに貯蔵する。この方法はミスマッチ結果を示す該アドレスとミスマッチカウントがユーザーが指定したカウントに至ればこれ以上の比較作動は遂行しない。

【0086】

後者に対するターゲットの誤作動検証方法で、ハードディスク 22 上の圧縮された入力テストベクトルはメインメモリ 18 を通してインタフェース手段 32 のメモリ 40 に伝送されて、インタフェース手段 32 の制御部 42 のデータ圧縮／復元制御部 72 はメモリ 40 に貯蔵されたデータをデータ復元方法によってハードウェア的に復元してターゲット 34 に印加して、ターゲット 34 から出力されるデータは上述したデータ圧縮方法によってハードウェア的に圧縮されてメモリ 40 に貯蔵される。メモリ 40 に貯蔵された圧縮された出力データは再びメインメモリ 18 に伝送されて、予めメインメモリ 18 に貯蔵されていた出力テストベクトルと比較される。

【0087】

テストベクトルを圧縮する他の実施例として、メインメモリ 18 のデータを圧縮してインタフェース手段 32 に伝送する時、ソフトウェア的にデータを圧縮して伝送しないで、インタフェース手段 32 の制御部 42 のデータ圧縮／復元制御部 72 を利用してデータを圧縮する方法がある。

【0088】

この方法は、ハードディスク 22 に貯蔵されたテストベクトルをなす入力データをインタフェース手段 32 のメモリ 40 のメモリ M1、M2 に貯蔵して、インタフェース手段 32 のメモリ M1、M2 に貯蔵された入力データをデータ圧縮／復元制御部 72 により圧縮してメモリ M3、M4 に貯蔵して、メモリ M3、M4 に貯蔵されたデータをメインメモリ 18、及びハードディスク 22 に貯蔵する方法である。ターゲット 34 の入力データファイルまたはテストベクトルファイルが前記のような方法によって予めハードディスク 22 上に圧縮されて貯蔵されて

ある状態では同一な大きさのファイルを読んで貯蔵することにおいてハードディスク22のアクセスタイムをデータ圧縮比ほど減らすことができる。このとき、ターゲット34との連結は切れるようになる。

【0089】

また、本発明のチップ設計検証及びテスト装置は、メインメモリ18とインタフェース手段32間のデータ伝送時にデータを圧縮して伝送するようになることによってデータ伝送速度が速くなって、インタフェース手段32のメモリ40に大きさが大きいテストベクトルが圧縮されて貯蔵されることができるために小さい大きさのメモリ40に大きい大きさのテストベクトルを貯蔵することができる。

したがって、インタフェース手段32をパターン発生器及びロジック分析器で活用することにおいて制限された大きさを有するメインメモリ18とインタフェース手段32のメモリ40をさらに効率的に活用できるようにする。

【0090】

図14は、本発明のチップ設計検証及びテスト装置のチップ設計検証方法を説明するための作動流れ図であって、ターゲット34の本格的な検証段階を遂行するのに前もってシミュレーション遂行結果から一定な時間間隔を有する形態で準備されたテストベクトルを利用してターゲット34のハードウェア及びソフトウェアモデルがシミュレーション結果と同一な結果を示すことができるようにするターゲット一致化(tune up)過程に対する流れ図である。圧縮されたテストベクトルを準備する方法と検証方法としては上述した後者の方法によってその作動は次のとおりである。

【0091】

まず、チップ設計検証及びテストプログラムを実行してモニター1上にGUI環境をディスプレイする(第300段階)。

GUI環境のメニュー項目を利用して各種変数に対する初期値設定、ユーザー指定変数、及び関連変数の内容を指定する(第310段階)。

GUI環境のメニュー項目を利用して作動モードを検証モードで設定する(第320段階)。すなわち、インタフェース手段32を信号印加用で用いることか

、信号貯蔵用で用いることか、または信号印加及び貯蔵用で用いることかを設定する。

【0092】

第300段階から第320段階までの過程は、図7に示した第100段階から第120段階までの過程と同一な方法で遂行されるので詳細な説明は図7の説明を参考とすれば良い。

GUIのメニュー項目を利用してテストベクトルファイルを指定する（第330段階）。すなわち、テストベクトルファイルが選択されるとウィンドウ上にベクトルファイルがディスプレイされる。

【0093】

GUIを利用してウィンドウ上にロードされたベクトルファイルに対して比較開始位置または条件を指定する（第340段階）。すなわち、比較を遂行するための条件を指定したり比較を始めるための特定信号の位置の値、または一致させようとするパターンを指定する。

テストベクトルをインタフェース手段32のメモリ40を通してターゲット34にフレーム単位で印加して、ターゲット34からインタフェース手段32のメモリ40を通して入力されるデータと期待値データとを比較する（第350段階）。

【0094】

CPU 10は、ターゲット34から入力されるデータと期待値データを比較して比較結果が一致しているかを判断する（第360段階）。

もしも比較結果が一致すれば、最後フレームであるのかを判断する（第370段階）。

第370段階の判断結果を満足すれば作動を終了して、第370段階の判断結果を満足しないと第350段階に進める。

【0095】

第360段階の判断結果、比較結果が一致しなければ、CPU 10は比較開始位置／条件から初めてあらわれるミスマッチ位置を探して該位置に移動する（第380段階）。すなわち、GUIのウィンドウ上の該位置に移動する。

GUIを利用してミスマッチが発生する直前の近接位置に接近するための条件をトリガ条件で設定する（第390段階）。この段階で、設計されたチップがMCU及びROMを備えており、ROMの命令語遂行過程を細密にモニターリングしながらデバギングを遂行するためにはROMコードを生成した同一なアセンブリコードをGUIにロードして疑問になる部分のアドレスに対してブレイクポイント（`break-point`）を設定する。このとき、ブレイクポイントで設定されたアドレスを前記インタフェース手段32のトリガ条件制御部64に貯蔵する。

【0096】

テストベクトルをインタフェース手段32のメモリ40を通してターゲット34にフレーム単位で印加して、インタフェース手段32のトリガ条件制御部64はターゲット34から出力されるデータとトリガ条件を比較する（第400段階）。

インタフェース手段32のトリガ条件制御部64は、トリガ条件が一致したかを判断する（第410段階）。

【0097】

また、第410段階で、インタフェース手段32のトリガ条件制御部64は、ターゲット34からインタフェース手段32に印加されるROMのアドレスがブレイクポイントで設定されたアドレスと一致しているかを判断する。

第410段階の判断結果トリガ条件が一致すればインタフェース手段32はクロック制御部66からターゲット34に印加されるクロック信号の入力を中止する（第420段階）。

また、第410段階の判断結果ブレイクポイントで設定されたアドレスと一致すれば、インタフェース手段32のクロック制御部66からターゲット34に印加されるクロック信号の入力を中止する。

【0098】

GUIを利用してデバギング（`debugging`）のために見守るべきリーダーバック/JTAGノード、内部検針ノード、及び外部検針ノードに関連した信号に対する指定を遂行する（第430段階）。

GUIを利用して入出力と検針ノードの信号を利用してエラーが発生する直前の位置に対するトリガ条件を設定する（第440段階）。

【0099】

設定されたトリガ条件に該当するほどのクロック信号に応答してターゲットから出力されるデータをモニター上にディスプレイする（第450段階）。

例えば、トリガ条件としてGUIでクロックステップ数を5に設定したならば、インタフェース手段32のクロック制御部66から出力される5回のクロック信号に応答してターゲット34から印加されるデータがインタフェース手段32のメモリ40にすべて貯蔵されればメモリ40に貯蔵されたデータがGUIにディスプレイされる。

【0100】

エラー位置に到達したかを判断してもしもエラー位置に到達していなければ第440段階及び第450段階の作動を繰り返して遂行して、エラー位置に到達すれば次の段階に進める（第460段階）。

エラー位置に到達するようになればミスマッチ位置に到達するまでの過程におけるエラーの原因を分析する（第470段階）。

【0101】

エラーの原因が発見されたのかを判断する（第480段階）。

第480段階の判断結果のエラーの原因が発見されたならばターゲット34のハードウェアまたはソフトウェアモデルを修正する（第490段階）。

すなわち、エラーの原因を含んでいる部分がハードウェアモデルであるプログラム可能なゲートアレーにあったとすれば該原因を含んでいるブロックを修正してプログラム可能なゲートアレーのためのビットストリームファイルを再び生成してプログラム可能なゲートアレーを再プログラムする。そして、もしもエラーの原因を含んでいる部分がソフトウェアモデルであるROMコードに問題がある場合ならば該部分のアセンブリコードを修正してROMコードをアップデートする。

【0102】

もしも第480段階の判断結果エラーの原因が発見していなければ、リード-

バック/JTAGノード、内部検針ノード、外部検針ノードに関連した信号に対する追加指定を遂行して、第350段階に進める（第500段階）。

【0103】

図15は、本発明のチップ設計検証及びテスト装置を利用してターゲットを本格的に検証するための作動を説明するための作動流れ図であって、図14に示したターゲット一致化過程を経た後に遂行する場合もあって、そうでなければ直ちに本過程の遂行を通してターゲットの作動したか否かを取り調べた後にデバギングを遂行する場合もある。

【0104】

第600段階から第620段階までの過程は、図14に示した第300段階から第320段階までの過程と同一である。

第620段階遂行後にGUIを利用して入力ファイル（すなわち、ターゲット34の入力ピンに入力するファイル）と出力ファイル（すなわち、ターゲット34の出力ピンから得られるファイル）を指定する（第630段階）。

【0105】

GUIを利用して出力ファイルの貯蔵またはディスプレイ開始条件を指定する（第640段階）。

インタフェース手段32を通して入力ファイルをフレーム単位で印加して、ターゲット34の出力は多様な指定された条件にしたがってターゲット34の各構成要素別作動検証のためのウィンドウ上に結果をディスプレイする（第650段階）。

トリガ条件が一致しているかを判断する（第660段階）。

【0106】

もしも第660段階を満足しないとターゲット34の構成要素別作動結果が良好であるかを判断する（第670段階）。

もしも第670段階を満足すれば最後フレームであるのかを判断する（第680段階）。もしも最後フレームならば作動を終了して、最後フレームでなければ第650段階に進める。

もしも第660段階を満足すればトリガ位置でターゲット34の作動を止めて

トリガ位置を該ウィンドウの画面上に表示する（第700段階）。

【0107】

もしも第670段階を満足しないと作動が良好でないウィンドウや相互関連があると判断されるウィンドウ上で誤作動近接位置にソフトウェア的なトリガ条件を設定したりまたは隣接したインタフェースボードの作動モードをロジック分析器モードに転換してハードウェア的なトリガ条件を設定する（第690段階）。

第710段階から第780段階までの過程は、図14に示した第430段階から第500段階までの過程と作動が同一である。

【0108】

図14、15に示した作動流れ図でGUI環境とインタフェース手段32間の作動は上述した図7の作動を参考とすれば良い。

本発明のチップ設計検証及びテスト装置は、チップ設計検証モード時にメインメモリ18、インタフェース手段32、及びターゲット34間のデータ伝送時にデータが連続的に入出力される。

【0109】

図16A、図16B、図16Cは、本発明のチップ設計検証及びテスト装置のメインメモリ18、インタフェース手段32、及びターゲット34間の実施例のデータ伝送方法を説明するためのものであって、インタフェース手段32が信号印加及び貯蔵用で指定された場合のデータ伝送方法を説明するためのものである。

そして、インタフェース手段32の4個のメモリM1、M2、M3、M4中2個のメモリM1、M2はメインメモリ18からインタフェース手段32に印加されるデータを貯蔵するための用途で指定されて、2個のメモリM3、M4はターゲット34からインタフェース手段32に印加されるデータを貯蔵するための用途で指定された場合のデータ伝送方法を説明するためのものである。

【0110】

図16A、図16B、図16Cに示したデータ伝送方法は、GUIのメニュー項目を用いてハードディスク22に貯蔵されたテストベクトルが選択されてデータ圧縮項目が指定されればハードディスク22に貯蔵されたテストベクトルがソ

フトウェア的に圧縮されてメインメモリ18のフレームバッファに貯蔵される。そして、メインメモリ18のフレームバッファに貯蔵された圧縮データはインタフェース手段32のメモリM1、M2に交代で貯蔵される。

【0111】

インタフェース手段32からターゲット34にデータが伝送される場合にはインタフェース手段32の制御部42のデータ圧縮／復元制御部72によりメモリM1、M2に貯蔵された圧縮データを交代で復元して伝送して、ターゲット34からインタフェース手段32にデータが伝送される場合にはインタフェース手段32内のデータ圧縮／復元制御部72によりデータを圧縮してメモリM3、M4に圧縮されたデータを交代で貯蔵する。そして、インタフェース手段32からメインメモリ18にデータが伝送される場合にはメモリM3、M4に貯蔵されたデータが交代でメインメモリ18のフレームバッファ領域に貯蔵されて、フレームバッファ領域に貯蔵された圧縮データはソフトウェア的に復元されてメインメモリ18のチャックメモリ領域に貯蔵される。

【0112】

図16Aは、インタフェース手段32からターゲット34へのデータ伝送速度とターゲット34からインタフェース手段32へのデータ伝送速度が同一な場合のデータ伝送方法を説明するためのものである。

図16Aで、横及び縦で斜線付けたデータは、各々圧縮されたデータであってメインメモリ18からインタフェース手段32に伝送されるデータP2S、及びインタフェース手段32からメインメモリ18に伝送されるデータS2Pを示す。そして、点またはハッチングをしないデータは各々復元されたデータであってインタフェース手段32からターゲット34に伝送されるデータS2T、及びターゲット34からインタフェース手段32に伝送されるデータT2Sを示す。

【0113】

最初区間①で、メインメモリ18からインタフェース手段32に伝送される圧縮されたデータがメモリM1に貯蔵される。二番目区間②で、インタフェース手段32のメモリM1に貯蔵された圧縮データが図4に示したインタフェース手段32の制御部42のデータ圧縮／復元制御部72により復元されてターゲット3

4に伝送されると同時にターゲット34からのデータがインタフェース手段32に伝送されて、メインメモリ18からインタフェース手段32に伝送される圧縮されたデータがメモリM2に貯蔵される。

【0114】

ターゲット34から伝送されるデータはインタフェース手段32の制御部40のデータ圧縮／復元制御部72により圧縮されてメモリM3に貯蔵される。3番目区間③で、メモリM3に貯蔵された圧縮データがメインメモリ18に伝送されて、メモリM2に貯蔵された圧縮データがインタフェース手段32の制御部40のデータ圧縮／復元制御部72により復元されてターゲット34に伝送されると同時にターゲット34からのデータがインタフェース手段32に伝送されて、このデータはインタフェース手段32の制御部40のデータ圧縮／復元制御部72により圧縮されてメモリM4に貯蔵される。

【0115】

そして、インタフェース手段32からメインメモリ18に圧縮されたデータが伝送された後、インタフェース手段32のメモリM1にメインメモリ18から伝送される圧縮されたデータが伝送される。上述したような方法で4番目、五番目、六番目区間④、⑤、⑥でもインタフェース手段32からターゲット34に、ターゲット34からインタフェース手段32にデータが絶えることなく連続的に伝送される。

【0116】

図16Bは、ターゲット34からインタフェース手段32へのデータ伝送速度がインタフェース手段32からターゲット34へのデータ伝送速度より速い場合のデータ伝送方法を説明するためのものである。

【0117】

最初区間①で、メインメモリ18からインタフェース手段32に伝送される圧縮されたデータがメモリM1に貯蔵される。二番目区間②で、インタフェース手段32のメモリM1に貯蔵された圧縮データが図4に示したインタフェース手段32の制御部42のデータ圧縮／復元制御部72により復元されてターゲット34に伝送されると同時にターゲット34からのデータがインタフェース手段32

に伝送される。このとき、ターゲット 34 からインタフェース手段 32 に伝送されたデータはデータ圧縮／復元制御部 72 により圧縮されてメモリ M3 に貯蔵され始める。

【0118】

メインメモリ 18 からインタフェース手段 32 に伝送される圧縮されたデータがメモリ M2 に貯蔵される。メモリ M3 の貯蔵作動が完了されると同時に圧縮されたデータはメモリ M4 に貯蔵され始めて、メモリ M3 に貯蔵された圧縮されたデータはメインメモリ 18 に伝送される。このとき、インタフェース手段 32 に伝送されたデータがデータ圧縮／復元制御部 72 により圧縮されてメモリ M4 に貯蔵完了されると同時にインタフェース手段 32 に伝送されたデータはデータ圧縮／復元制御部 72 により圧縮されてメモリ M3 に貯蔵され始める。

【0119】

このとき、メモリ M4 に貯蔵された圧縮データがメインメモリ 18 に伝送される。もしもメモリ M3 のデータ貯蔵作動が遂行される途中にメモリ M1 の圧縮データがデータ圧縮／復元制御部 72 により復元されてターゲット 34 に伝送される作動が完了されれば、メモリ M2 のデータがデータ圧縮／復元制御部 72 により復元されてターゲット 34 に印加され始めて、メモリ M1 はメインメモリ 18 から伝送される圧縮データを貯蔵する。

3 番目、4 番目区間③、④でも上述したような作動を遂行するによりデータが伝送される。

【0120】

図 16 C は、ターゲット 34 からインタフェース手段 32 へのデータ伝送速度がインタフェース手段 32 からターゲット 34 へのデータ伝送速度より遅い場合のデータ伝送方法を説明するためのものであって、図 16 A、図 16 B の説明を参考とすれば容易に理解されることである。

インタフェース手段 32 は、上述したような方法でインタフェース手段 32 からターゲット 34 へのデータ伝送速度とターゲット 34 からインタフェース手段 32 へのデータ伝送速度が異なる場合にもデータを連続的に伝送することができる。

【0121】

図16A、図16B、図16CにT1、T2、T3で表示した時間は、速度マージン（speed margin）を示すものであつて、メインメモリ18からインタフェース手段32にデータ伝送が完了された時点であるかインタフェース手段32からメインメモリ18にデータ伝送が完了された時点に対応するメモリの現在アドレスを検出するにより作動が遂行されるが、CPU 10が速度マージンT1、T2、T3をモニターリングするによりインタフェース手段32とターゲット34間に最適で作動可能な速度を自動で調節する場合もある。すなわち、CPU 10がインタフェース手段32内の制御部42のクロック制御部66を制御するにより作動速度を調節することが可能である。

【0122】

図17は、本発明のチップ設計検証及びテスト装置のチップテスト方法を説明するための作動流れ図であつて、図14に示した方法と同様にターゲット34にハードウェア及びソフトウェアモデルが具現されている場合の作動流れ図である。

【0123】

第800段階から第840段階までの作動は、図14に示した第300段階から第340段階までの作動と同一である。しかし、第810段階で、初期値でフレームバッファの大きさを指定する時、テストベクトルの大きさによってメインメモリ18のフレームバッファ領域の大きさとインタフェース手段32のメモリ40のフレームバッファ領域の大きさを異なるように指定する。そして、インタフェース手段32のメモリ40の大きさが不足する場合にはコネクタ1にインタフェース手段32のメモリ40と同一なメモリM1、M2、M3、M4を備えたメモリボードを連結して用いたり、用いない隣接するインタフェース手段32のメモリ40を連結して用いる。

【0124】

また、第820段階で、インタフェース手段32の作動モードを設定する時パターン発生器、ロジック分析器、またはパターン発生器及びロジック分析器で設定する。

インタフェース手段32のメモリ40にテストベクトルファイルをなす入力データをすべて貯蔵した後、インタフェース手段32のメモリ40に貯蔵されたデータをターゲット34に印加して、ターゲット34から出力されるデータと期待値データを比較する（第850段階）。

【0125】

すなわち、チップテスト装置で用いる場合にはインタフェース手段32のメモリにテストベクトルファイルをなす入力データをすべて貯蔵した後、ターゲット34であるチップの作動速度に合わせてインタフェース手段32とターゲット34間にデータが伝送される。したがって、チップの作動速度が高速の場合にもテストが可能になる。

【0126】

比較結果が一致したかを判断する（第860段階）。

もしも比較結果が一致すれば最後テストベクトルであるのかを判断して最後テストベクトルならば作動を終了する（第870段階）。

しかし、もしも最後テストベクトルでなければ第830段階に進める。

【0127】

第860段階の判断結果比較結果が一致しなければミスマッチ部分に対するサンプリング位置変更が必要であるかを判断する（第880段階）。

もしも第880段階を満足すれば比較開始位置／条件以後の最初ミスマッチエラーを探す（第890段階）。

そして、装置使用者は、テストベクトル準備過程で問題がある信号に対するサンプリング位置を変更してテストベクトルをアップデートして第830段階に進める（第900段階）。

もしも第880段階を満足しないとエラーチップに分類して作動を終了する（第910段階）。

【0128】

本発明のチップ設計検証及びテスト装置は、チップ設計検証時にはインタフェース手段を信号印加及び貯蔵用で設定してテストベクトルファイルまたは入力データをインタフェース手段を通してターゲットに連続的に入力して、ターゲット

から入力されるデータをインタフェース手段を通して連続的に受け入れることが可能である。そして、チップテスト時にはインタフェース手段をパターン発生器及びロジック分析器で設定してテストベクトルファイルをインタフェース手段に貯蔵しておいてインタフェース手段とターゲット間に高速でデータを伝送することができる。

【0129】

前記では本発明の望ましい実施例を参照して説明したが、該技術分野の熟練した当業者は特許請求の範囲に記載された本発明の思想及び領域から外れない範囲内で本発明を多様に修正及び変更させることができることを理解できることである。

したがって、本発明のチップ設計検証及びテスト装置及び方法は、第一、コンピュータを基盤にしてチップ設計時には設計されたチップの作動を検証してエラーをデバギングできる検証器で使用が可能であって、チップ製作以後には製作されたチップの作動をテストできるテストで使用が可能である。

【0130】

第二、本発明のチップ設計検証及びテスト装置及び方法は、インタフェース手段のメモリに貯蔵されるデータを圧縮して伝送して貯蔵するのでデータ伝送速度及び装置の性能が向上されうる。

第三、本発明のチップ設計検証及びテスト装置及び方法は、GUIを利用して設計されたチップ及び製作されたチップを構成する多様な機能ブロックのエラーを発見するのに適合なウィンドウをディスプレイすることによって装置使用者が該機能ブロックのエラーを容易に発見できる。

【0131】

第四、本発明は既存のコンピュータに応用プログラムを設置して、PCIスロットにインタフェースボードを装着することによってチップ設計検証及びテスト装置への活用が可能である。

第五、本発明のチップ設計検証及びテスト装置及び方法は、エラーをデバギング時にインタフェース手段をロジック分析器で設定してチップから出力されるデータをクロックステップ数によってモニター上にディスプレイすることができる

のでさらに精密なデバギングを遂行することができる。

【図面の簡単な説明】

【図1】 一般的なコンピューターシステムのブロック図である。

【図2】 本発明のチップ設計検証及びテスト装置の構成を図式化したブロック図である。

【図3A】 本発明の実施例のターゲットを示すものである。

【図3B】 本発明の実施例のターゲットを示すものである。

【図4】 本発明のチップ設計検証及びテスト装置のインタフェース手段の実施例のブロック図である。

【図5】 図4に示した制御部の実施例のブロック図である。

【図6A】 本発明のインタフェース手段とターゲットとの連結のためのモジュールの一実施例の構成を示すものである。

【図6B】 本発明のインタフェース手段とターゲットとの連結のためのモジュールの他の実施例の構成を示すものである。

【図6C】 図6Bに示したモジュールを用いる場合にメインボード上のPCIスロットに装着されるボードの実施例の構成を示すものである。

【図6D】 図6Bに示したモジュールに装着のためのインタフェース手段32の実施例のボード形態を示すものである。

【図6E】 本発明のインタフェース手段とターゲットとの連結のためのモジュールのまた他の実施例の構成を示すものである。

【図6F】 本発明のモジュールのバックプレーンの望ましい実施例の構成を示すものである。

【図7A】 本発明のチップ設計検証及びテスト装置のチップ設計検証及びテストプログラムを遂行するによる本体内部の作動を説明するための作動流れ図である。

【図7B】 本発明のチップ設計検証及びテスト装置のチップ設計検証及びテストプログラムを遂行するによる本体内部の作動を説明するための作動流れ図である。

【図7C】 本発明のチップ設計検証及びテスト装置のチップ設計検証及び

テストプログラムを遂行するによる本体内部の作動を説明するための作動流れ図である。

【図 8】 本発明のチップ設計検証及びテストプログラムを遂行するによる本体内部のメモリ領域の割り当てを示すものである。

【図 9】 本発明のチップ設計検証及びテストプログラムを遂行するによって図 1 のモニター上にディスプレイされる実施例の GUI を示すものである。

【図 10】 本発明のハードディスクに貯蔵された実施例のテストベクトルを構成するデータのロジック状態を示すシンボル（コード）及びシンボルの意味を示すテーブルである。

【図 11】 本発明のチップ設計検証及びテストプログラムにより用いられる圧縮データフォーマットを示すものである。

【図 12】 ハードディスクに貯蔵された実施例の非圧縮状態であるテストベクトルを示すものである。

【図 13】 図 12 に示したテストベクトルのロジック状態及びランと図 11 に示したデータフォーマットで圧縮されたデータを示すものである。

【図 14 A】 本発明のチップ設計検証及びテスト装置のチップ設計検証方法を説明するための作動流れ図である。

【図 14 B】 本発明のチップ設計検証及びテスト装置のチップ設計検証方法を説明するための作動流れ図である。

【図 14 C】 本発明のチップ設計検証及びテスト装置のチップ設計検証方法を説明するための作動流れ図である。

【図 15 A】 本発明のチップ設計検証及びテスト装置のチップ設計検証方法を説明するための作動流れ図である。

【図 15 B】 本発明のチップ設計検証及びテスト装置のチップ設計検証方法を説明するための作動流れ図である。

【図 15 C】 本発明のチップ設計検証及びテスト装置のチップ設計検証方法を説明するための作動流れ図である。

【図 16 A】 チップ設計検証及びテスト装置のメインメモリ、インタフェース手段、及びターゲット間の実施例のデータ伝送方法を説明するためのもので

ある。

【図 1 6 B】 チップ設計検証及びテスト装置のメインメモリ、インタフェース手段、及びターゲット間の実施例のデータ伝送方法を説明するためのものである。

【図 1 6 C】 チップ設計検証及びテスト装置のメインメモリ、インタフェース手段、及びターゲット間の実施例のデータ伝送方法を説明するためのものである。

【図 1 7 A】 本発明のチップ設計検証及びテスト装置のチップテスト方法を説明するための作動流れ図である。

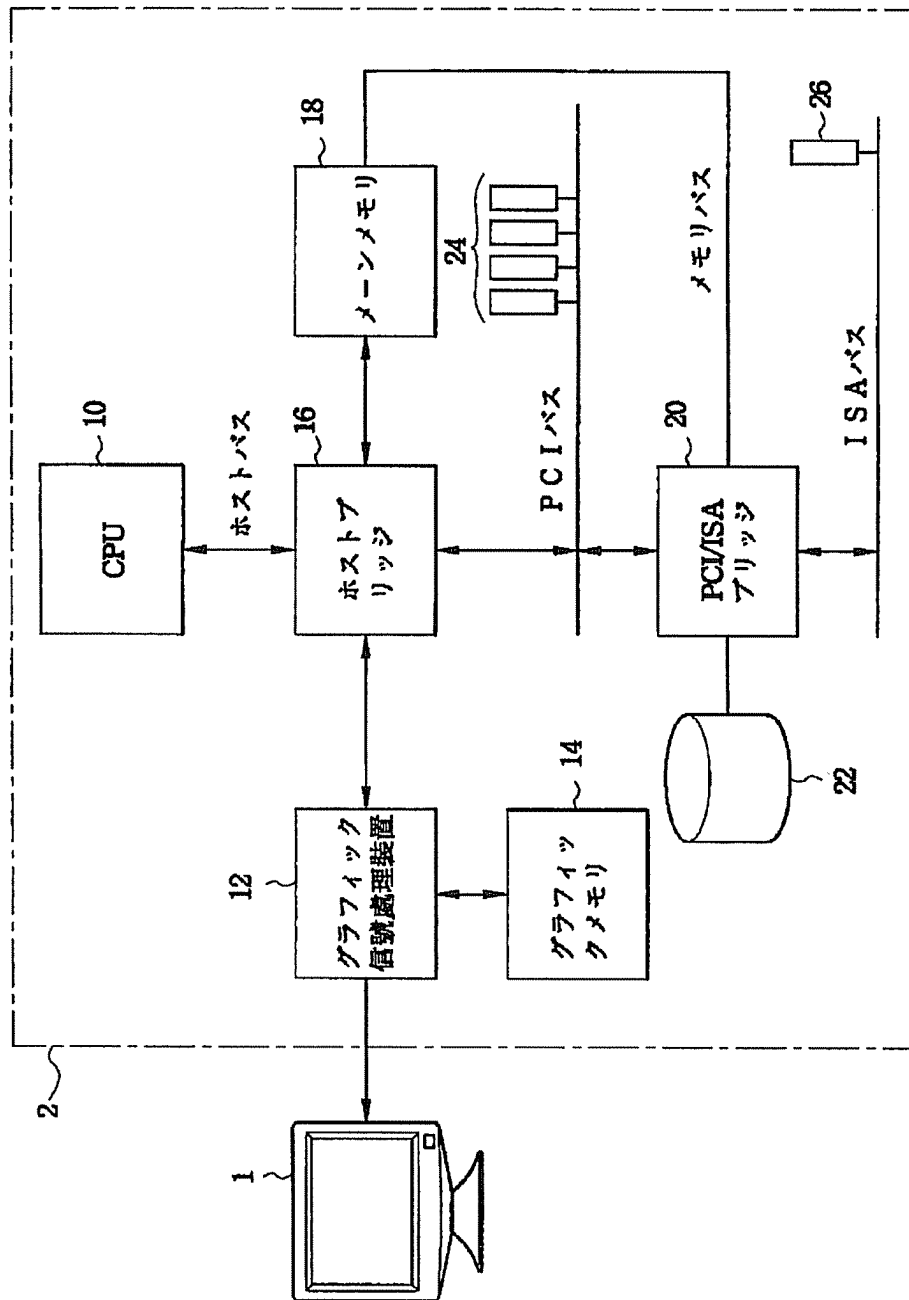
【図 1 7 B】 本発明のチップ設計検証及びテスト装置のチップテスト方法を説明するための作動流れ図である。

【符号の説明】

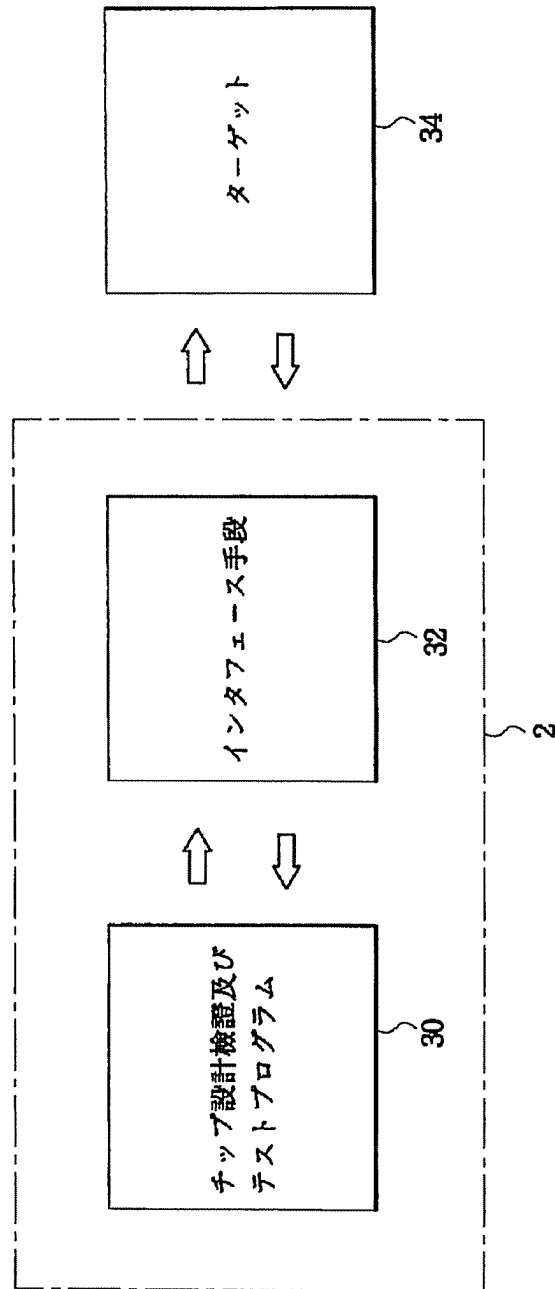
- 1 モニター
- 2 本体
- 10 CPU
- 12 グラフィック信号処理装置
- 14 グラフィックメモリ
- 16 ホストブリッジ
- 18 メインメモリ
- 20 PCI/I SAブリッジ
- 22 ハードディスク
- 24、26 スロット
- 30 チップ設計検証およびテストプログラム
- 32 インタフェース手段
- 34 ターゲット
- 40 メモリ
- 42 制御部
- 44 バス終端回路
- 46 リセット回路

- 50 リセット処理部
- 52 プラグ&プレー制御部
- 54 PCIローカルバスインタフェース制御部
- 56 アドレス発生部
- 58 メモリ制御部
- 60 汎用状態レジスタ制御部
- 62 インタラプト制御部
- 64 トリガ条件制御部
- 66 クロック制御部
- 68 リードバック/JTAG制御部
- 70 並/直列変換部
- 72 データ圧縮/復元制御部
- 74 ターゲットインタフェース制御部
- 76 バス終端回路制御部
- 78 グリッチ検出部

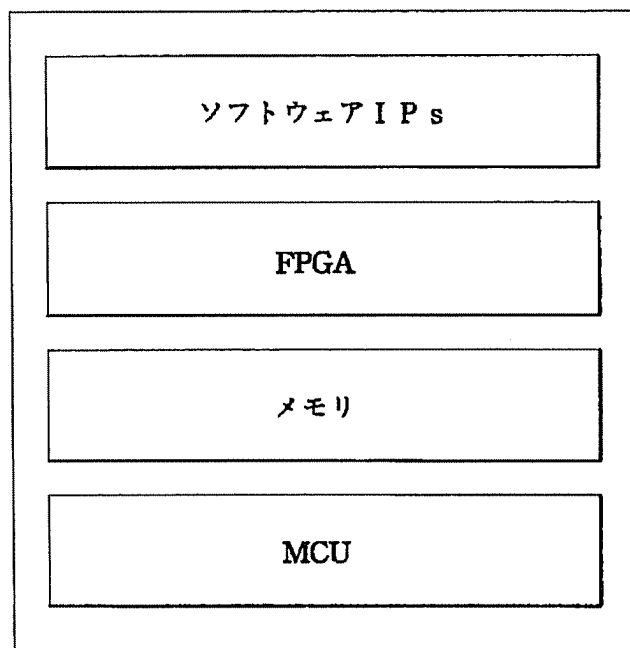
【図1】



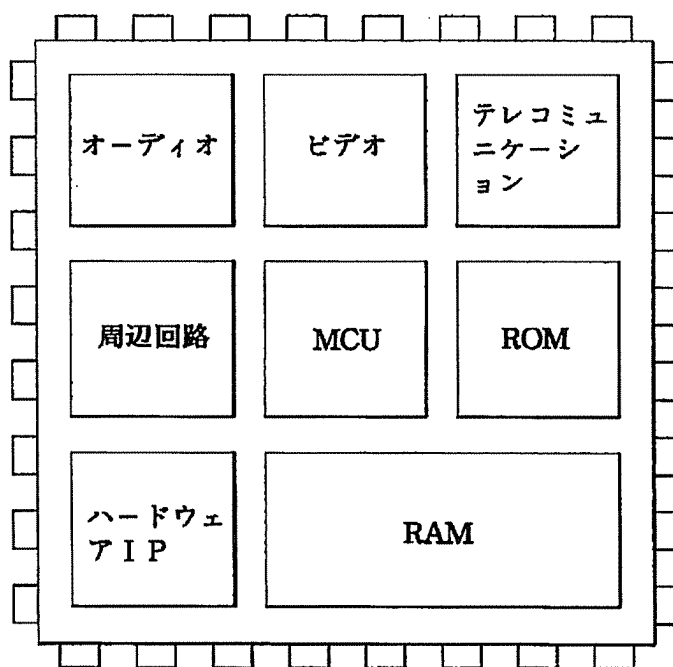
【図 2】



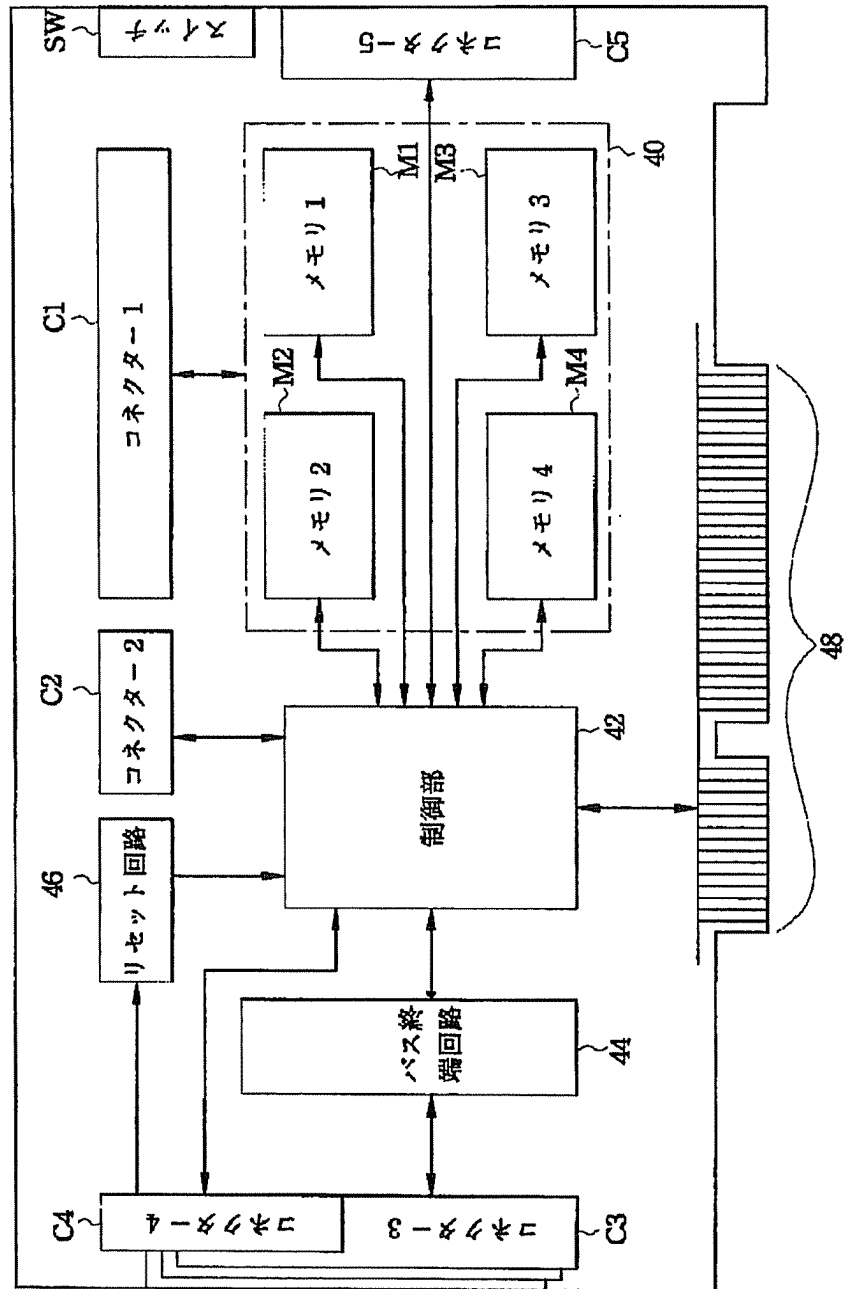
【図3A】



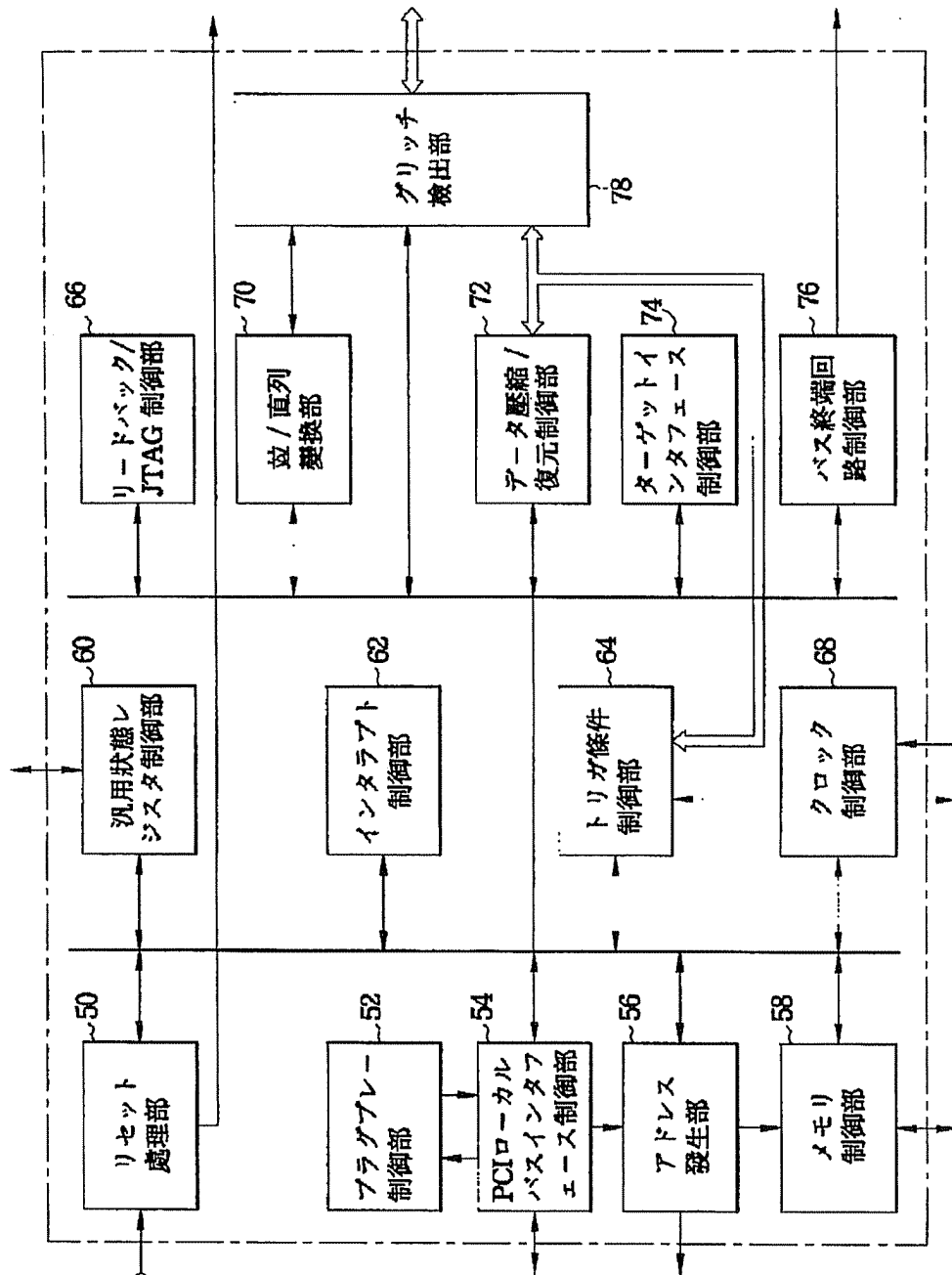
【図3B】



【図4】

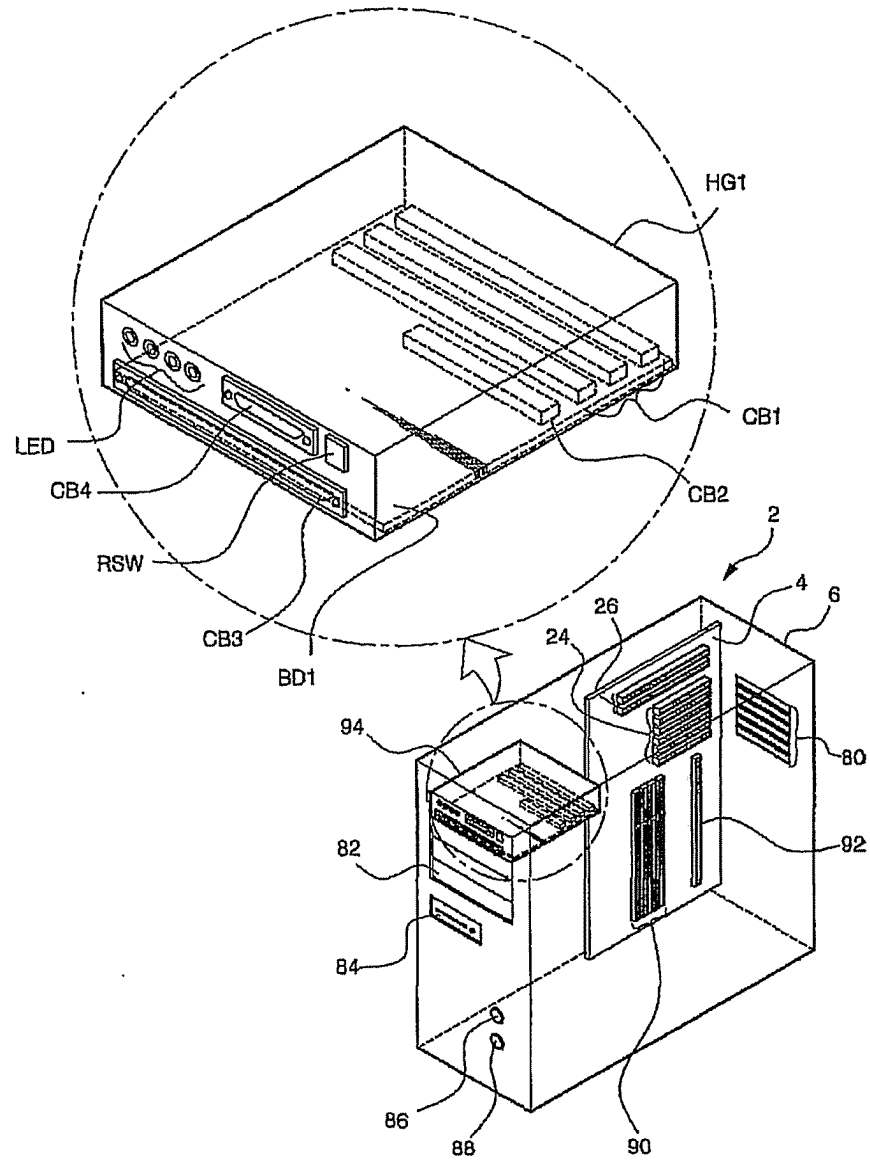


【図5】



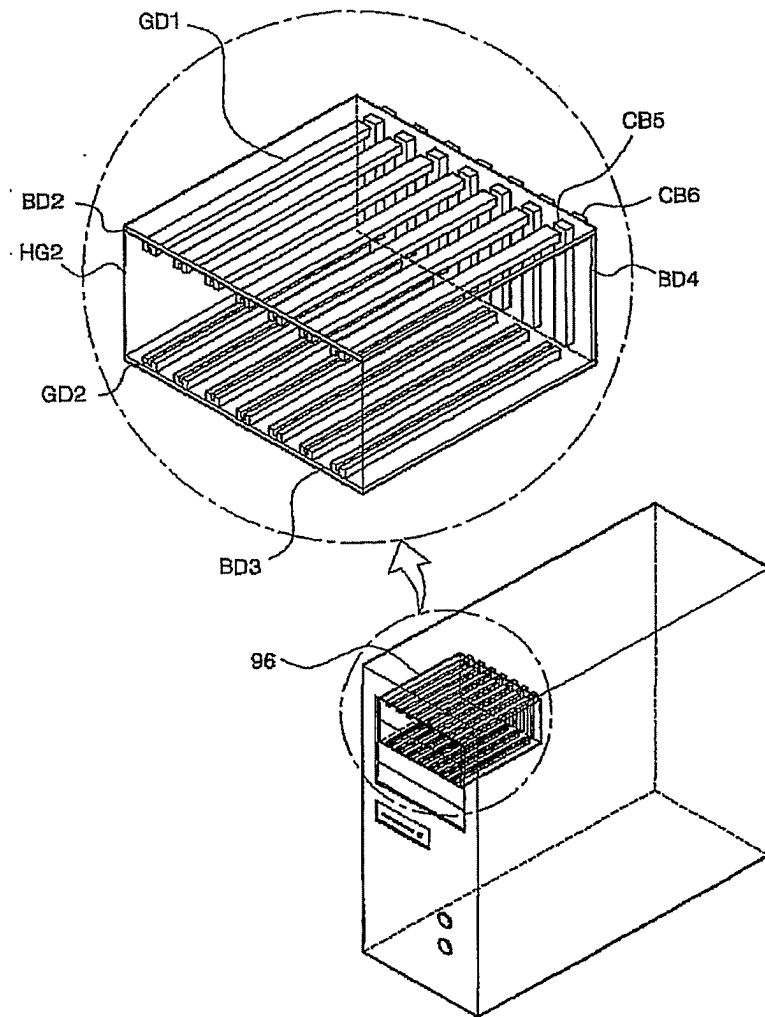
【図 6 A】

FIG.6a

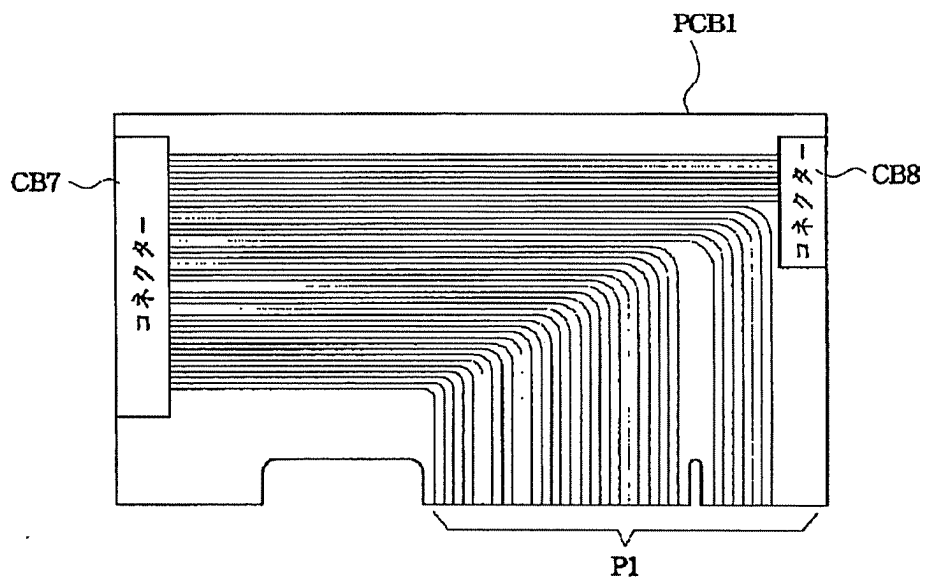


【図6B】

FIG.6b

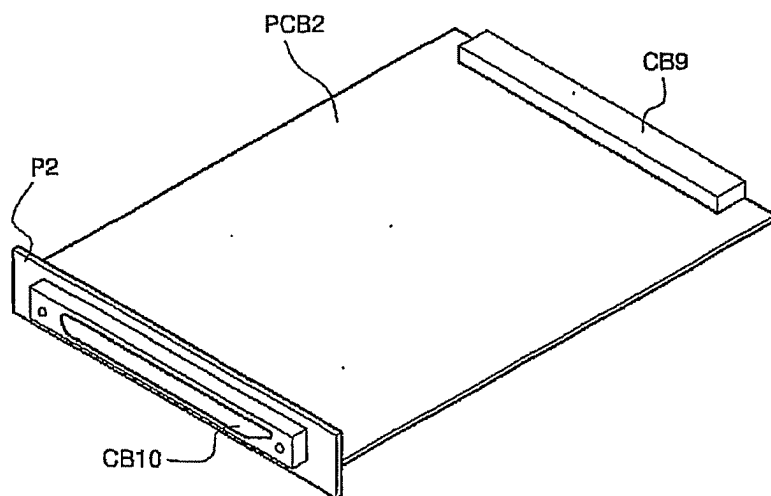


【図6C】



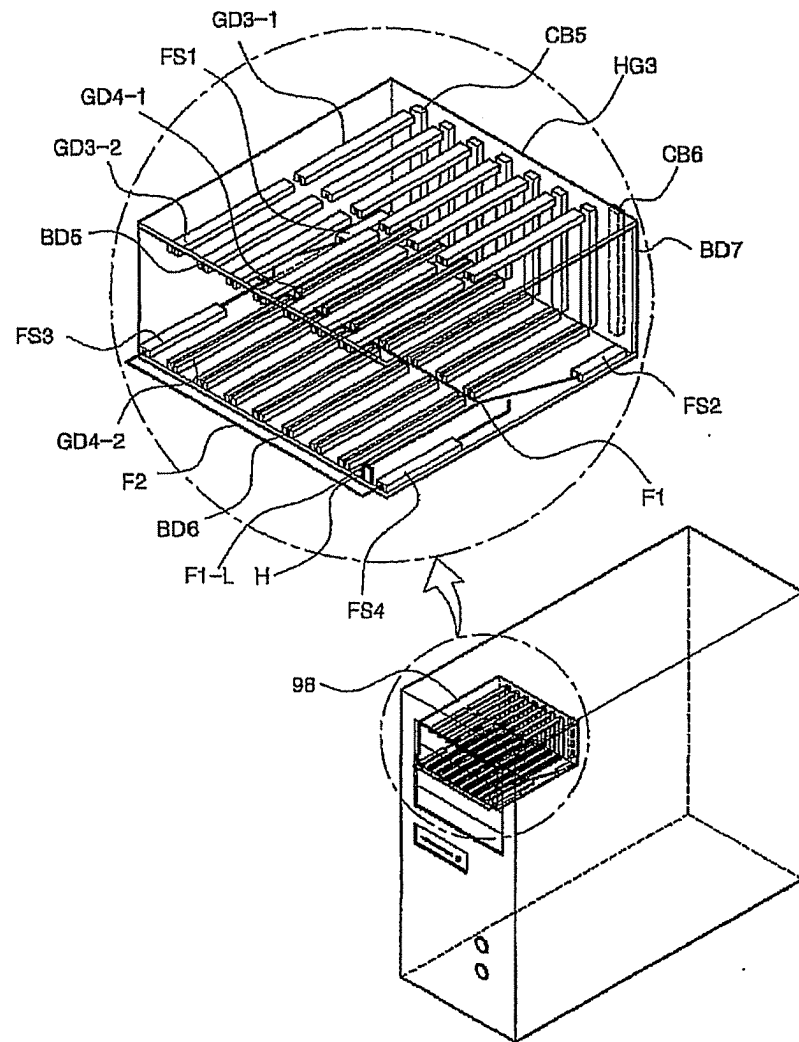
【図6D】

FIG. 6d

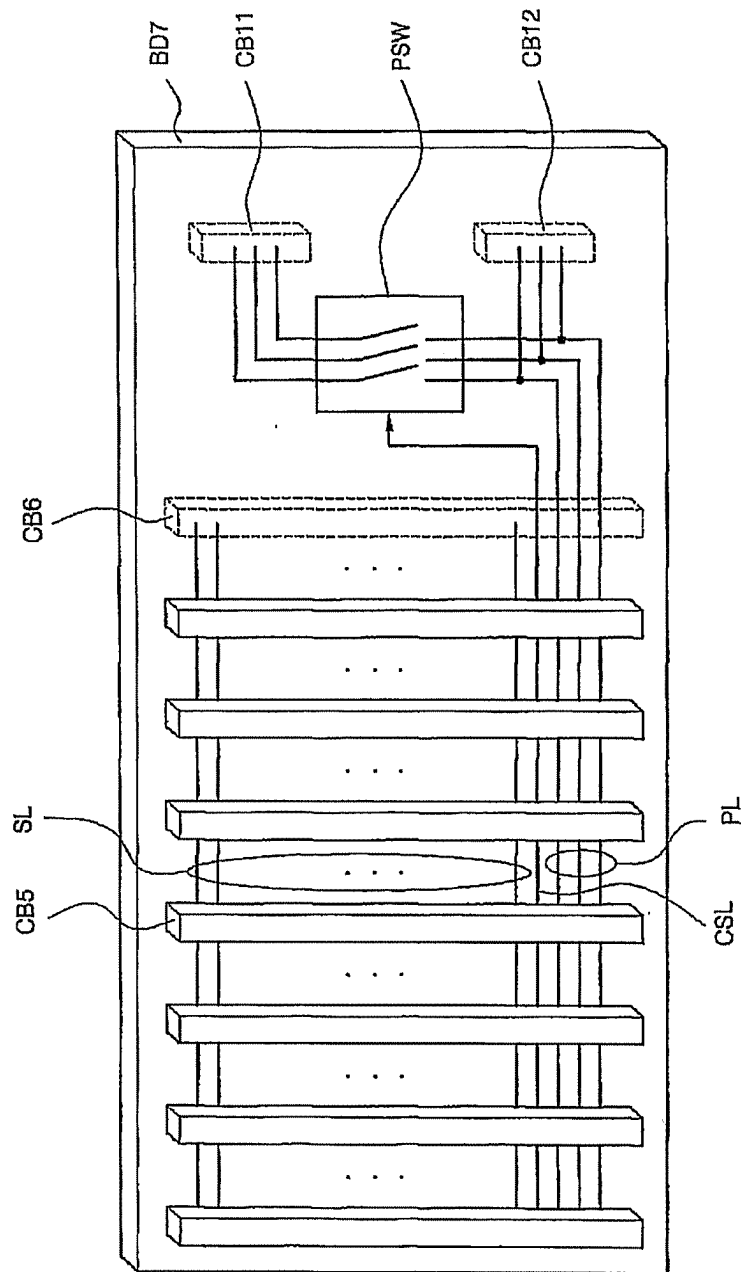


【図6E】

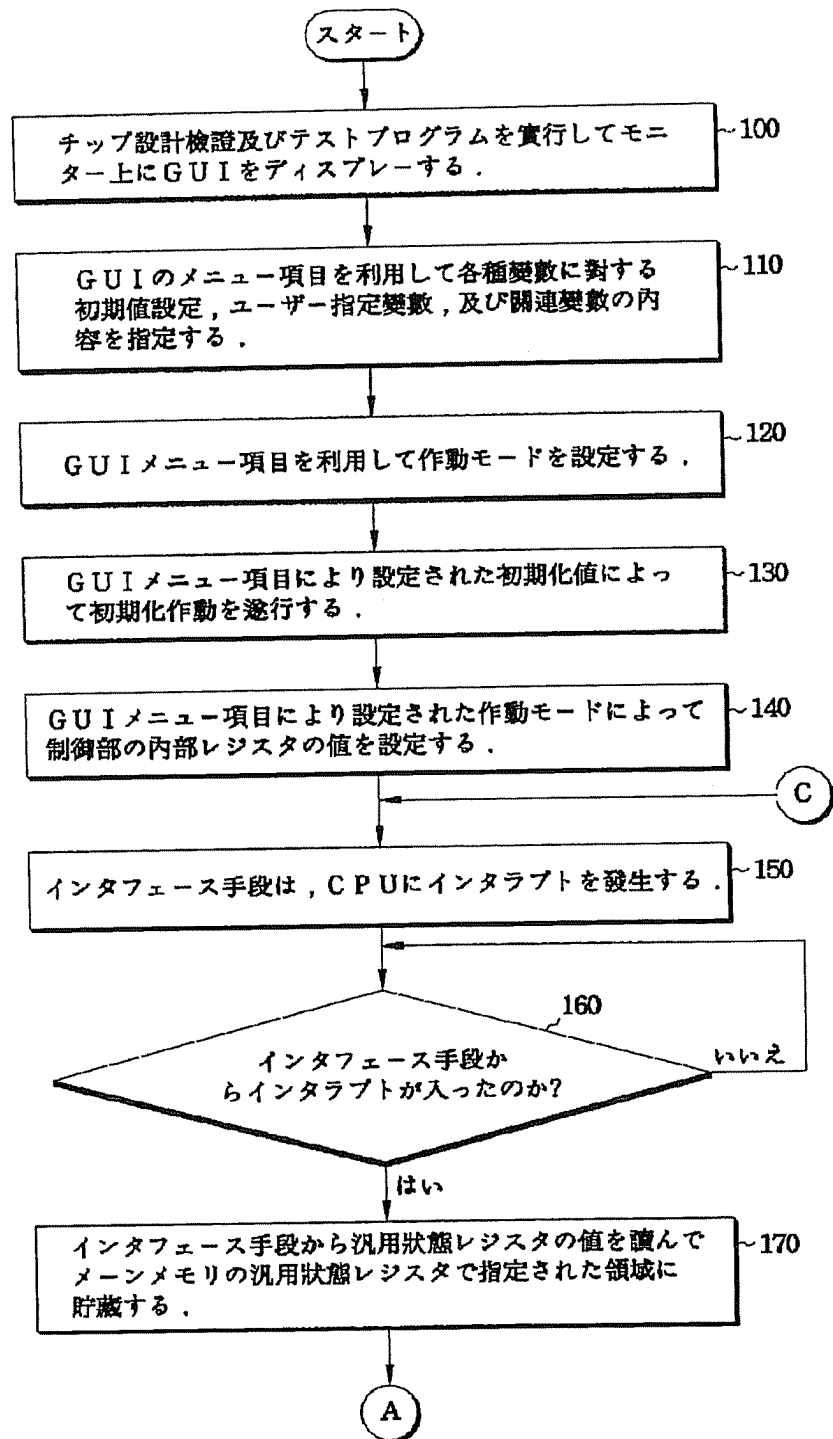
FIG.6e



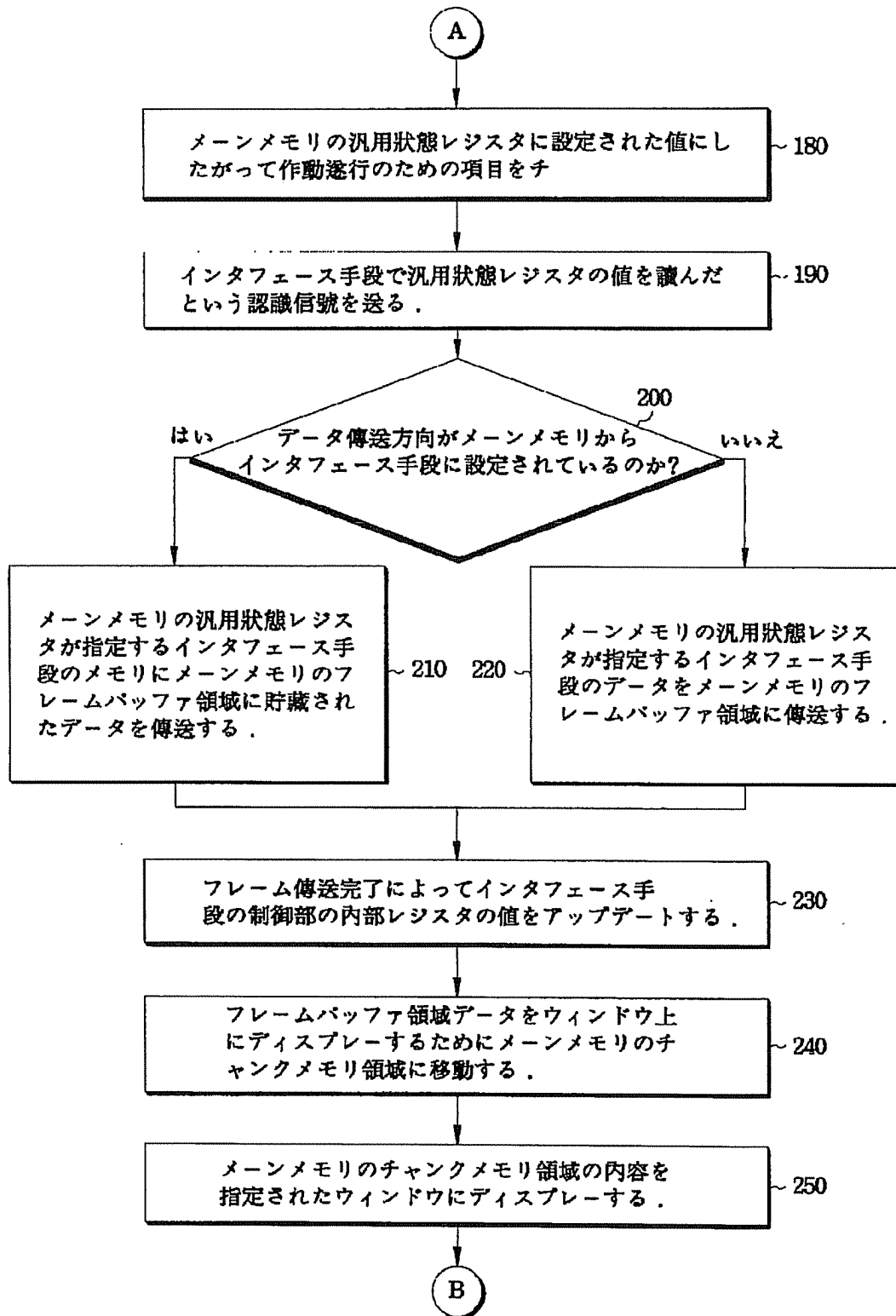
【図 6 F】



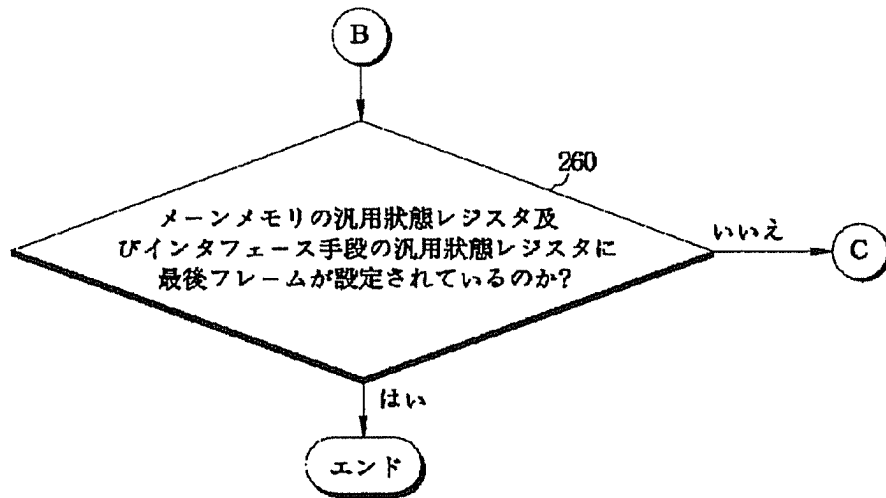
【図7A】



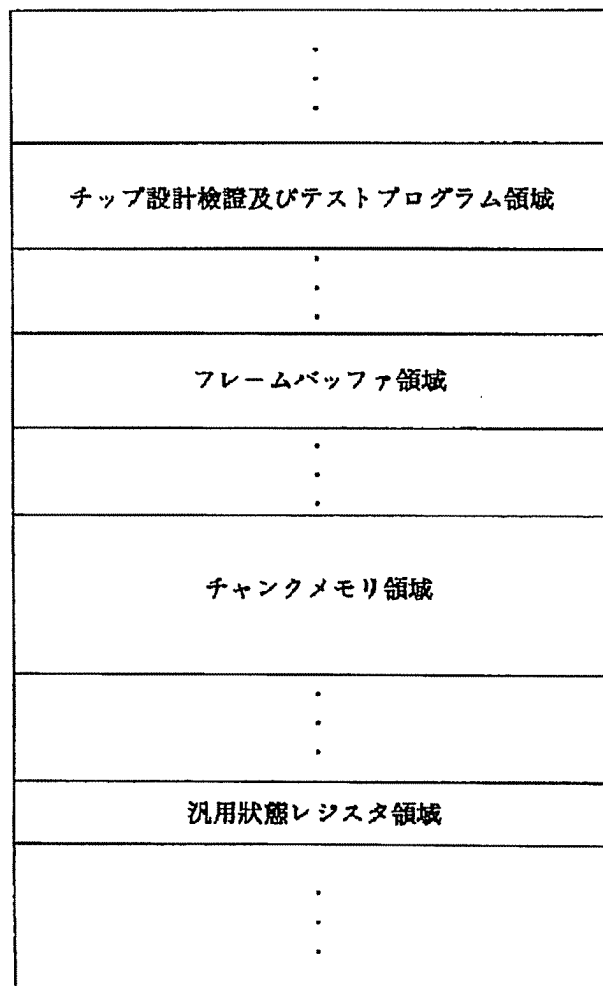
【図7B】



【図 7C】

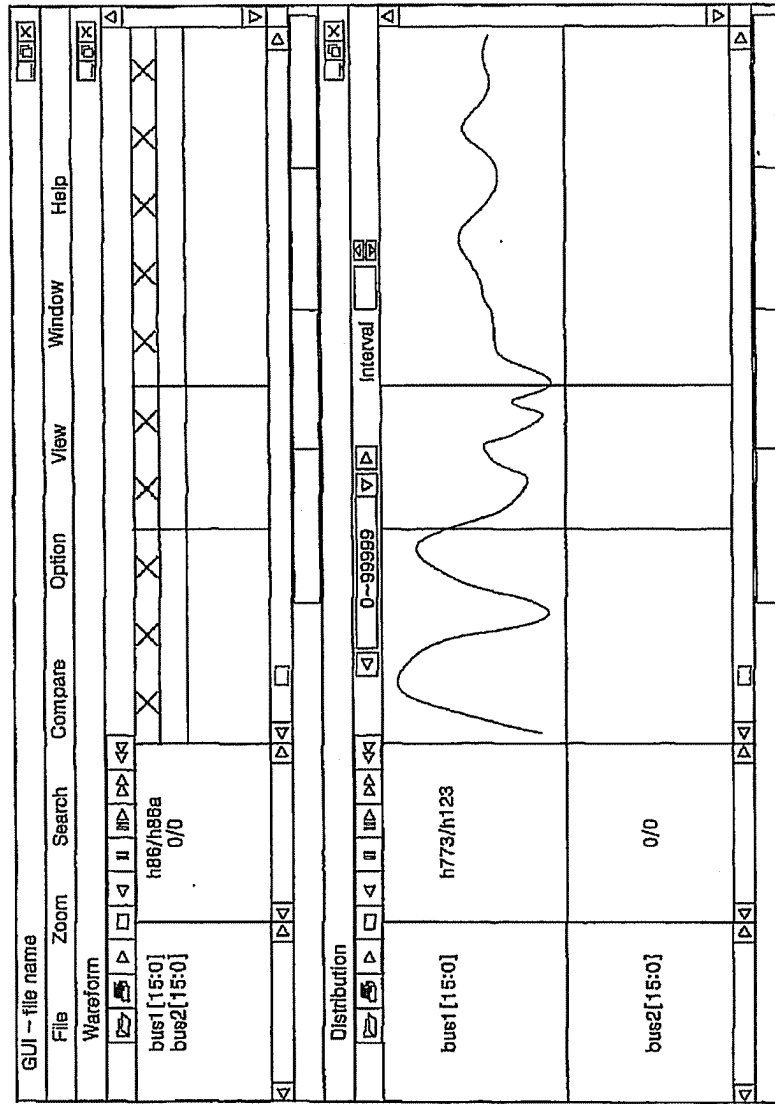


【図 8】



【図9】

FIG.9



【図10】

ロジック状態(コード)	意味
0(000)	input low
1(001)	input high
L(010)	output low
H(011)	output high
S(100)	week low
T(101)	week high
Z(110)	tri-state
X(111)	unknown

【図11】

フラグ(1)	ランレングス(3)	コード	ラン
--------	-----------	-----	----

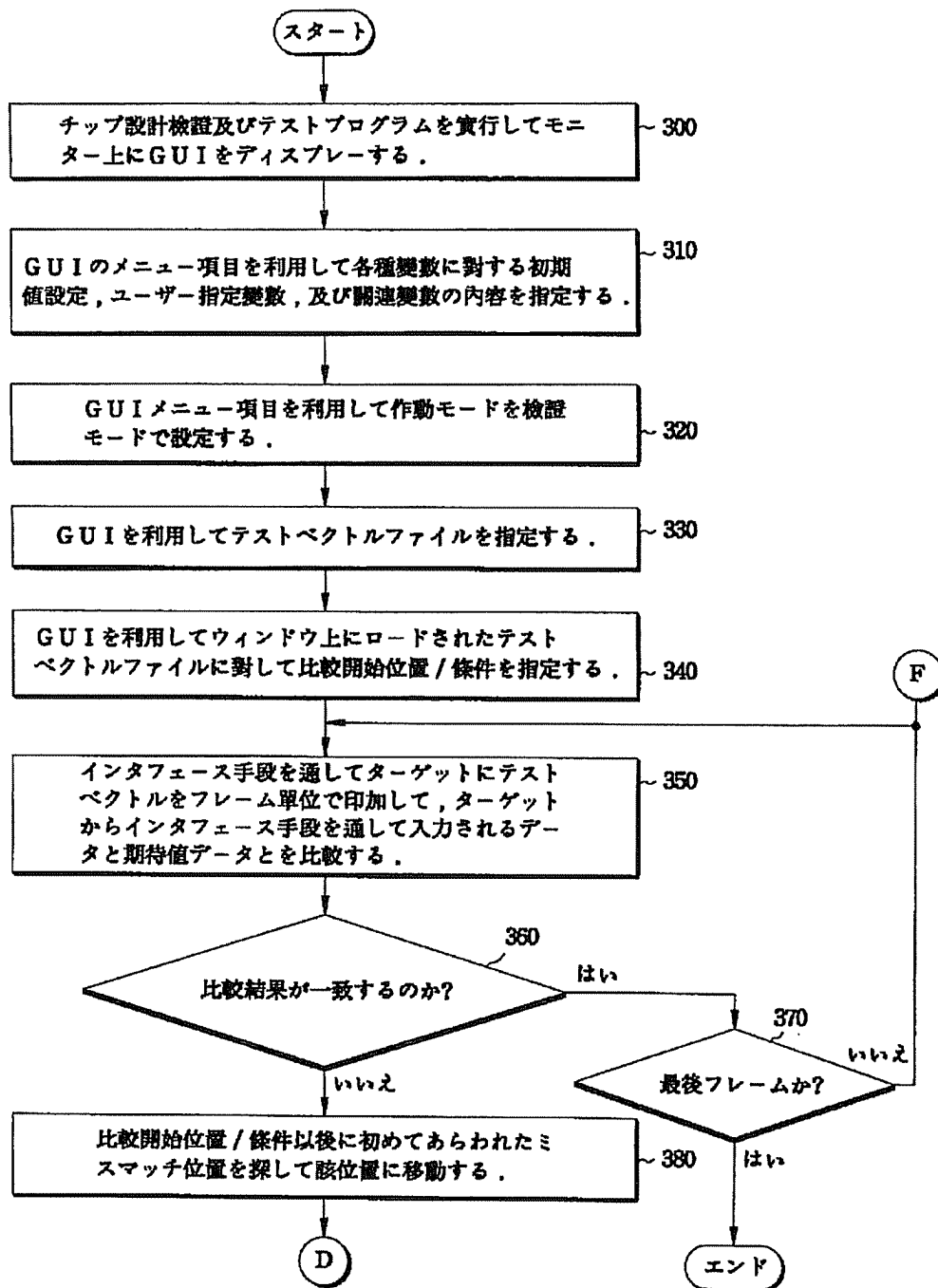
【図 12】

[illegible]

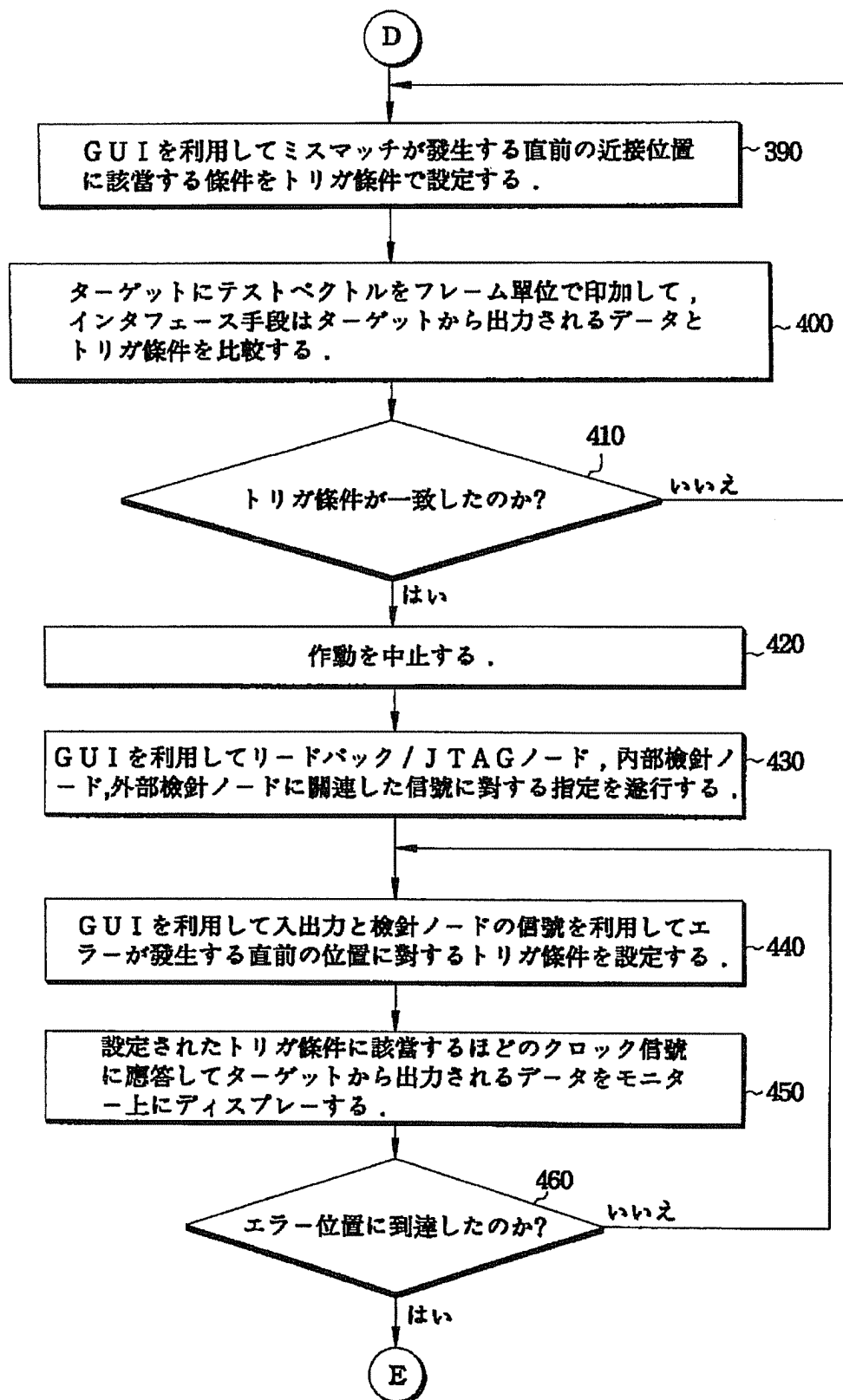
【図 13】

入力データのロジック状態及びラン	圧縮された入力データ
H(5) L(2) 0(3) 1(2) 0(1) 1(5) X(2)	1_011_011_101, 1_010_010_10, 1_010_000_11, 1_010_001_10 1_001_000_1, 1_011-001_101, 1_010_111_10
o(2) 0(2) 1(3) o(8) 0(1) o(4)	0_010_0_10, 0_010_1_10, 1_010_110_11, 0_100_0_1000 0_001_1_1, 0_011_0_100
0	0
o(10) 0(2) o(8)	0_100_0_1010, 0_010_1_10, 0_100_0_100
⋮	⋮

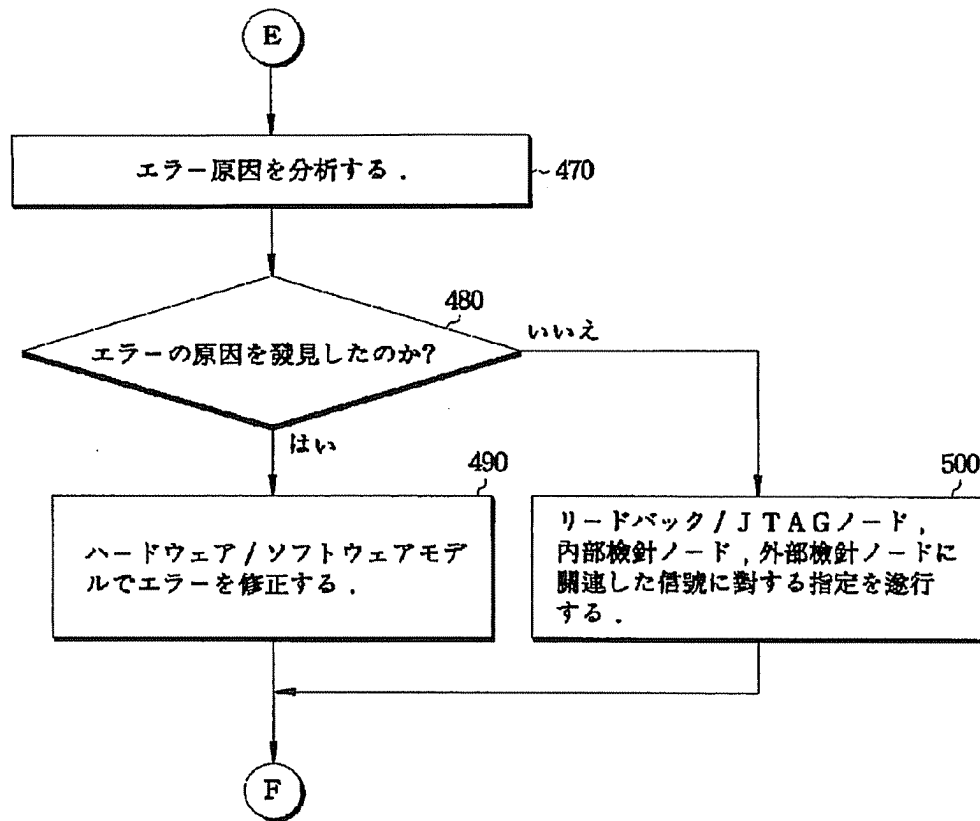
【図14A】



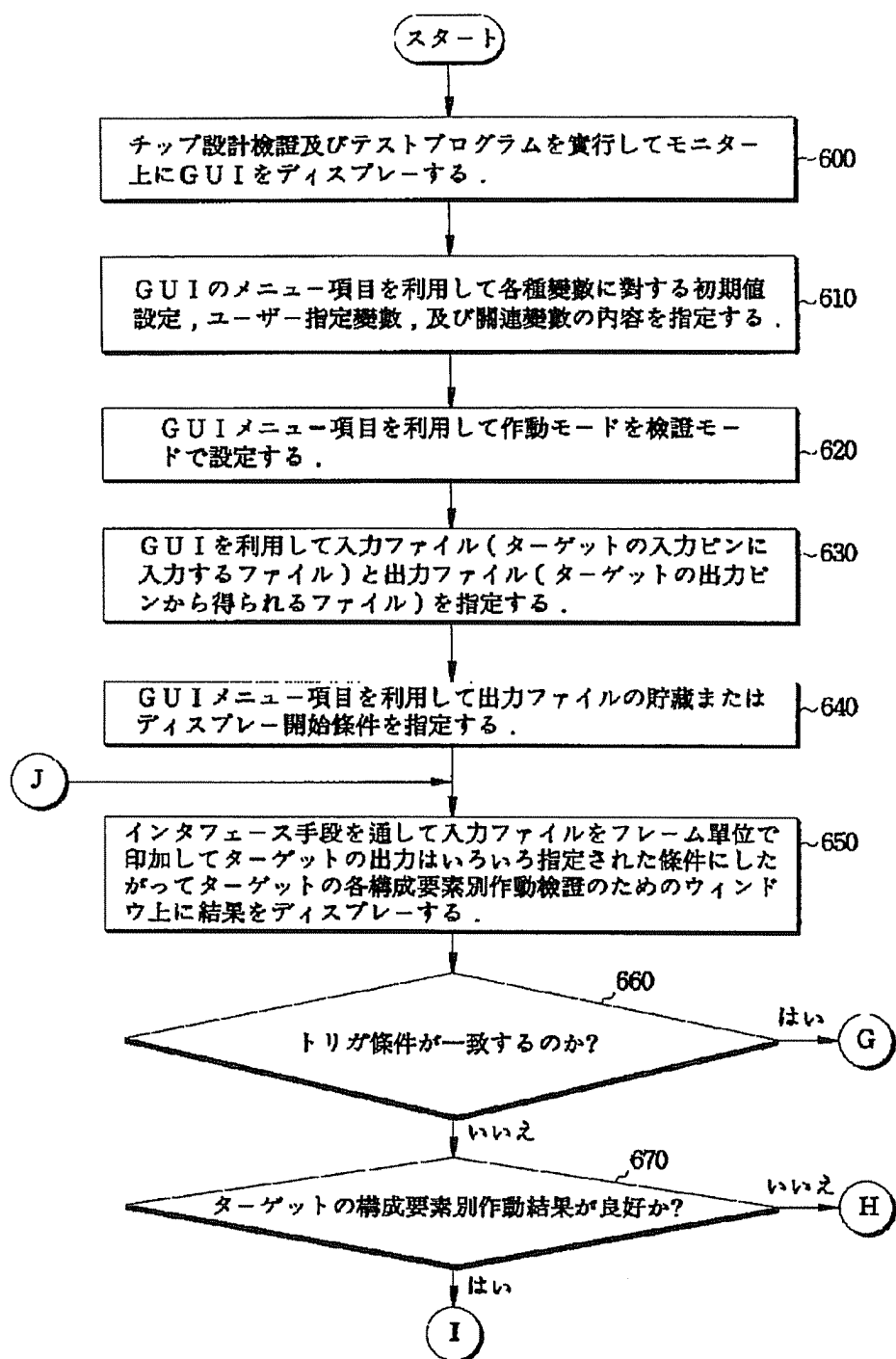
【図14B】



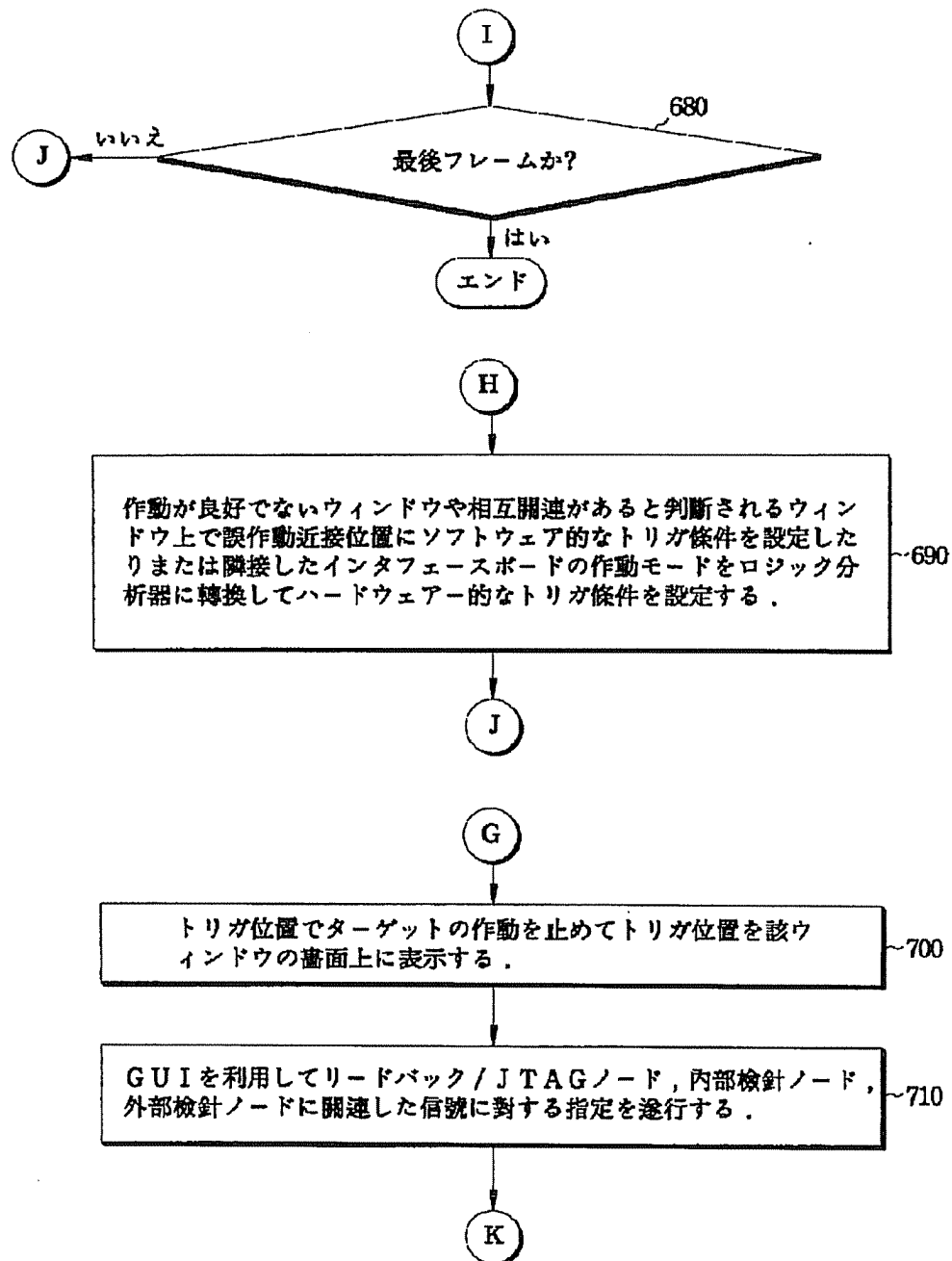
【図14C】



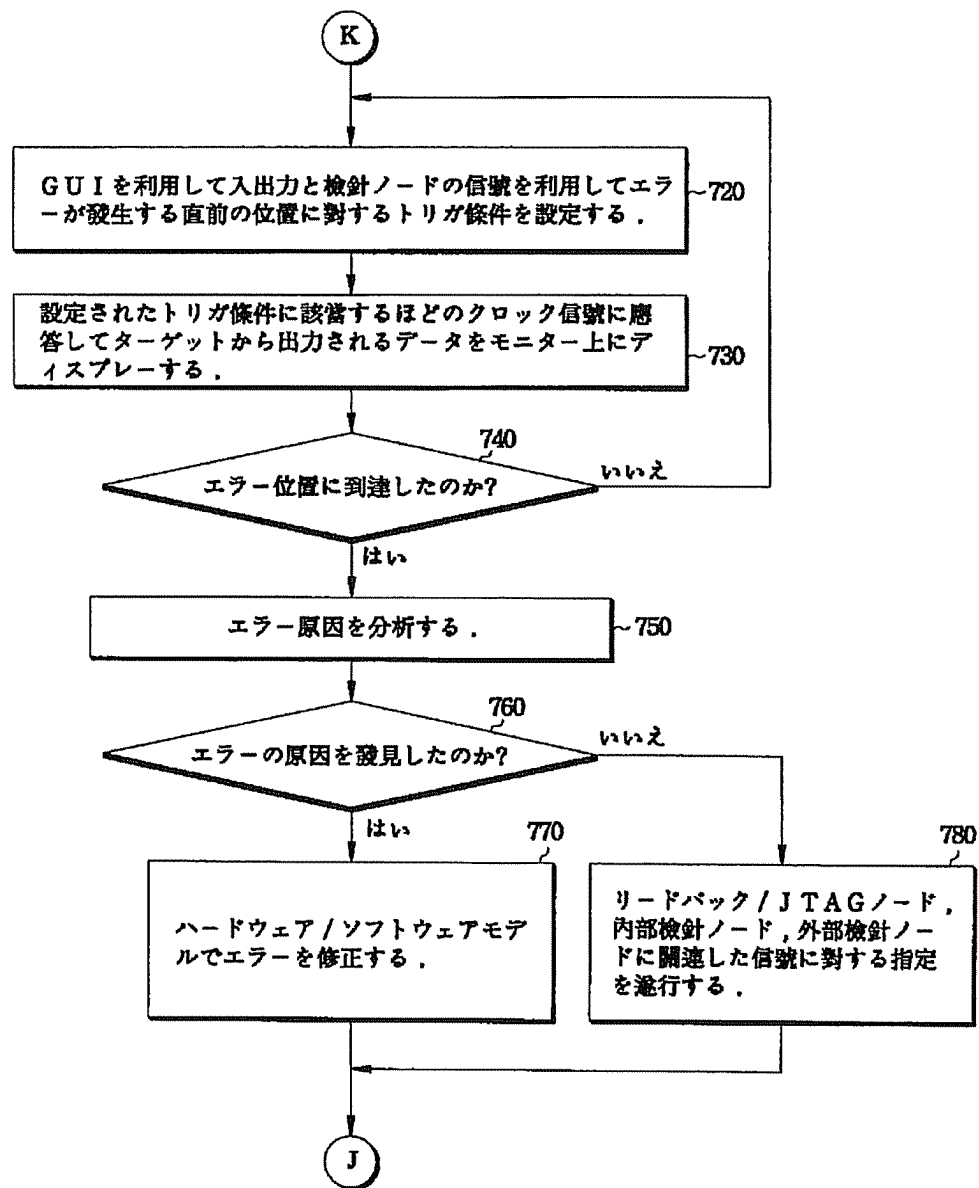
【図15A】



【図15B】

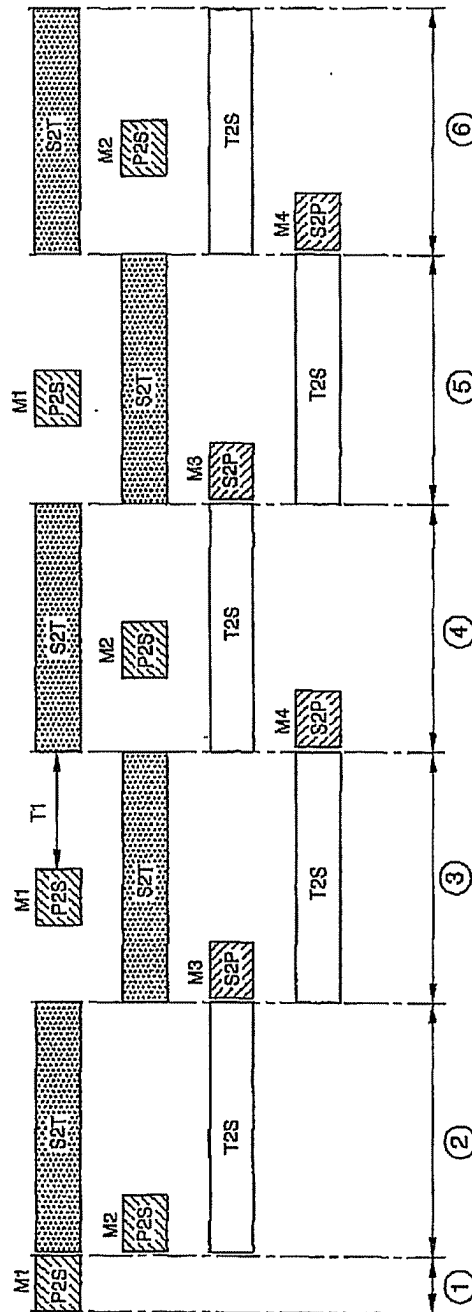


【図15C】



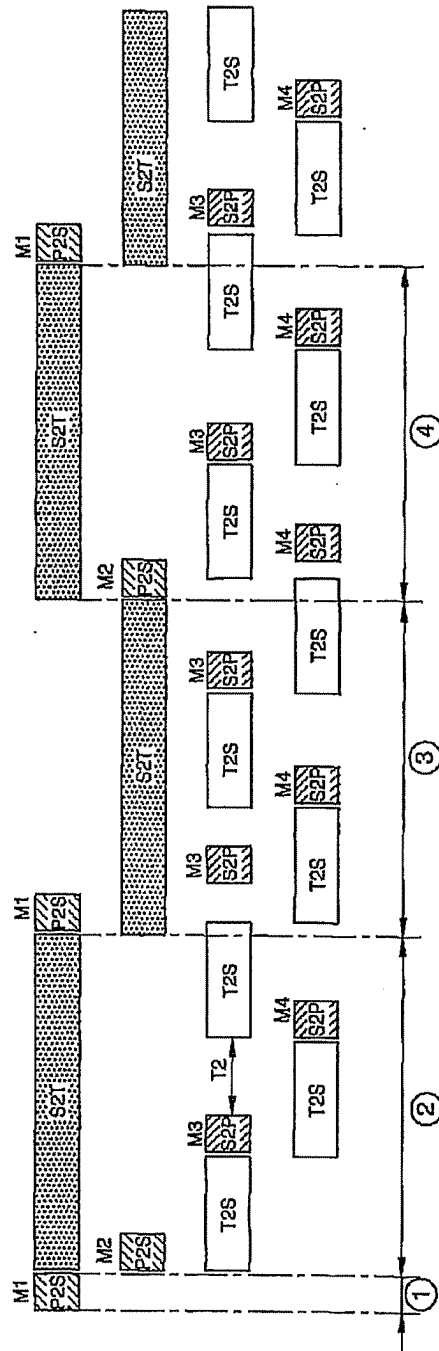
【図 16 A】

FIG.16a



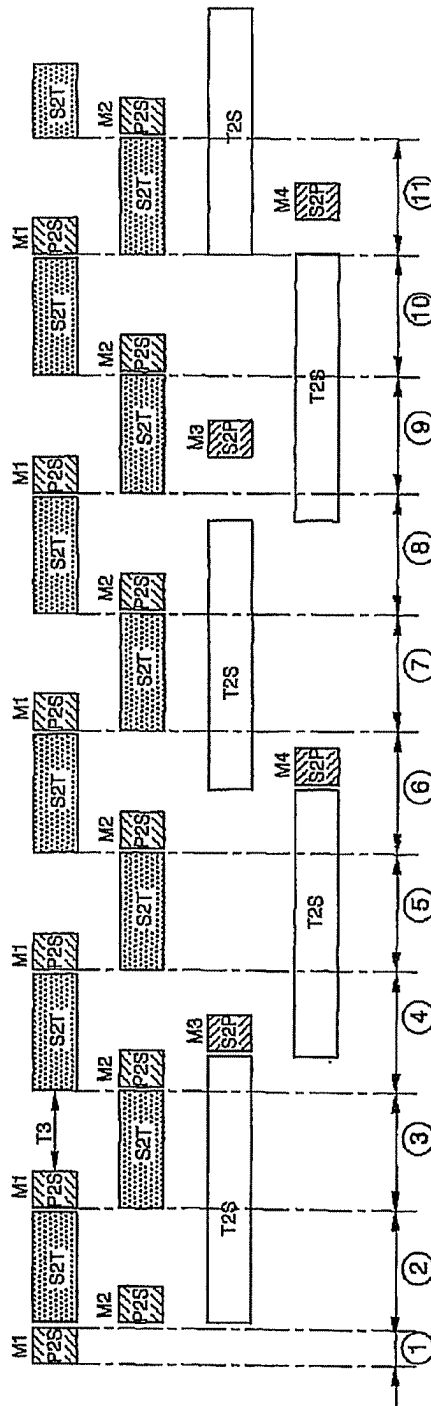
【図16B】

FIG.16b

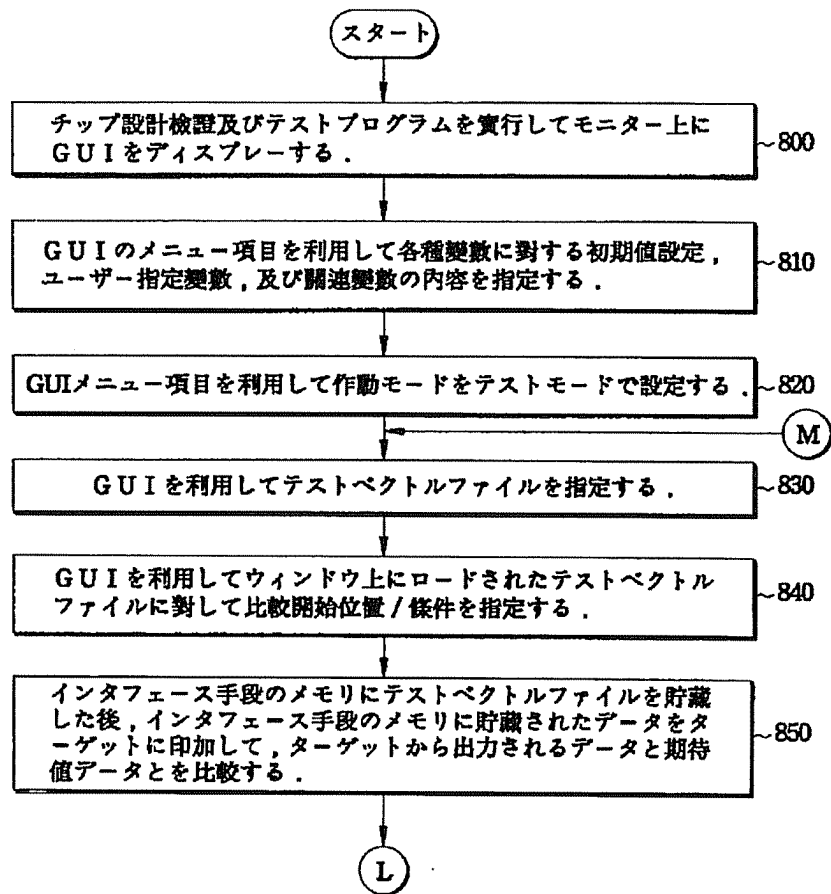


【図 16C】

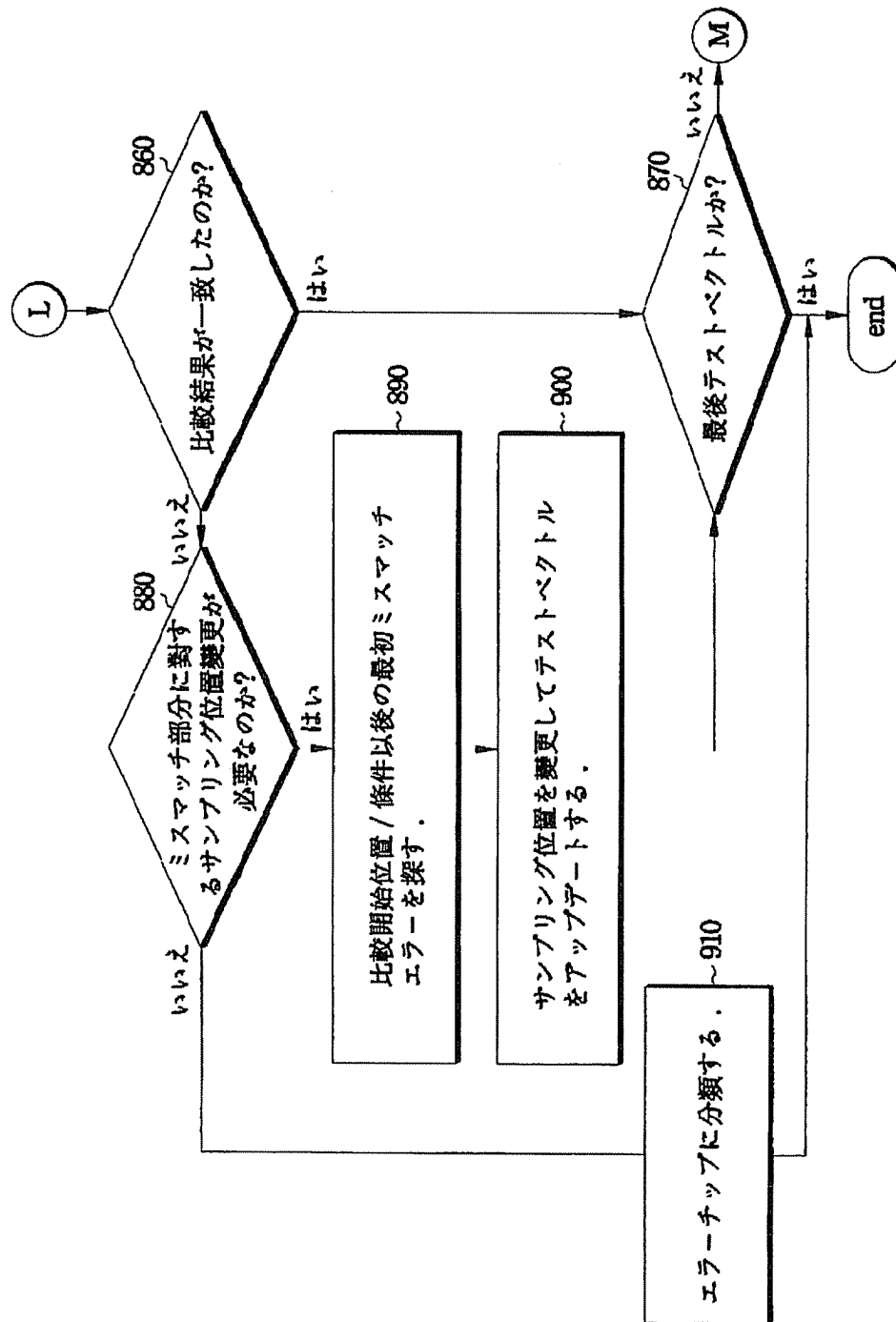
FIG.16c



【図17A】



【図17B】



【国際調査報告】

INTERNATIONAL SEARCH REPORT

International application No.
PCT/KR 01/00937

CLASSIFICATION OF SUBJECT MATTER

IPC⁷: G06F 17/50, G01R 31/28

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC⁷: G06F, G01R

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

WPI, PAJ, EPODOC

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	US 5535223 A (Horstmann et al.) 9 July 1996 (09.07.96) col. 3, line 63 to col. 5, line 26.	1-9,13-24
Y	US 6016563 A (Fleisher) 18 January 2000 (18.01.00) col. 2, line 36 to col. 4, line 67.	1-9,13-24
Y	US 5650938 A (Bootehsaz et al.) 22 July 1997 (22.07.97) col. 6, line 8 to col. 8, line 5.	1,10-12,17
Y	US 5613102 A (Chiang et al.) 18 March 1997 (18.03.97) col. 1, line 65 to col. 2, line 38.	1,10-12,17

☐ Further documents are listed in the continuation of Box C.☒ See patent family annex.

* Special categories of cited documents:

..A" document defining the general state of the art which is not considered to be of particular relevance

..E" earlier application or patent but published on or after the international filing date

..L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

..O" document referring to an oral disclosure, use, exhibition or other means

..P" document published prior to the international filing date but later than the priority date claimed

..T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

..X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

..Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

..Z" document member of the same patent family

Date of the actual completion of the international search

16 April 2002 (16.04.2002)

Date of mailing of the international search report

17 May 2002 (17.05.2002)

Name and mailing address of the ISA/AT

Austrian Patent Office

Kohlmarkt 8-10; A-1014 Vienna

Facsimile No. 1/53424/535

Authorized officer

SCHLECHTER

Telephone No. 1/53424/448

Form PCT/ISA/210 (second sheet) (July 1998)

INTERNATIONAL SEARCH REPORT
Information on patent family membersInternational application No.
PCT/KR 01/00937

Patent document cited in search report			Publication date	Patent family member(s)	Publication date
US	A	5535223	09-07-1996	none	
US	A	5613102	18-03-1997	none	
US	A	5650938	22-07-1997	none	
US	A	6016563	18-01-2000	none	